



# Processadores SMT e paralelismo em nível de threads

Felipe Leme - RA930886

# Agenda

---

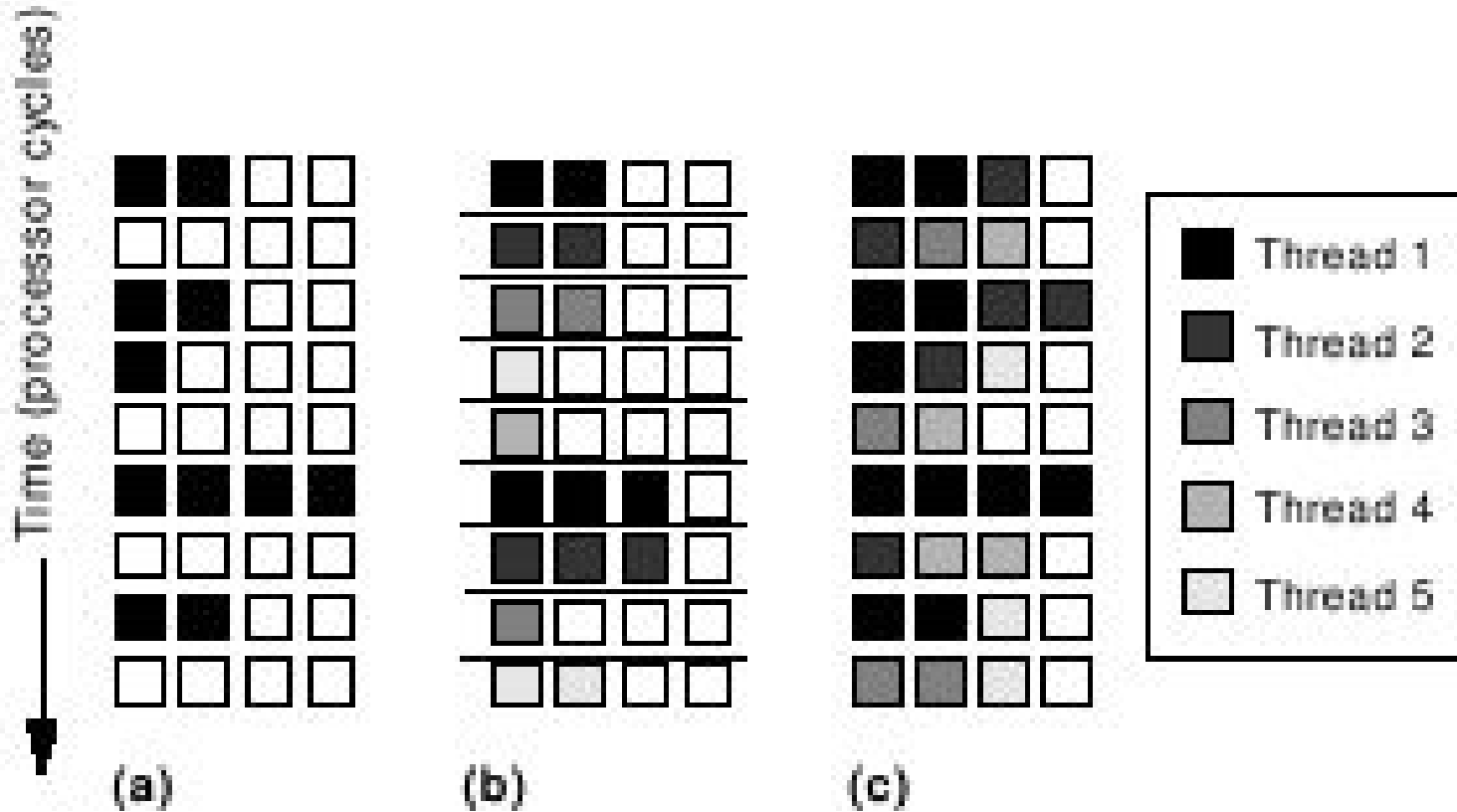
1. Introdução
2. Características comuns
3. Implementações comerciais
  - Intel Hyper-Threading Technology
  - Sun Niagara
  - IBM Power5
4. Conclusão
5. Q&A

# Introdução

---

- Técnicas atuais para melhoria de desempenho exploram ILP (*instruction level parallelism*)
  - multiple issue
  - out-of-order execution
  - altas frequências de clock
- 2 aspectos limitam o avanço
  - dissipação de energia
  - latência de memória
- Processadores SMT tentam minimizar esses limitadores

# Utilização de recursos e desperdício



Processadores (a) multi-escalator, (b) multi-threading e (c) SMT

## Características comuns

---

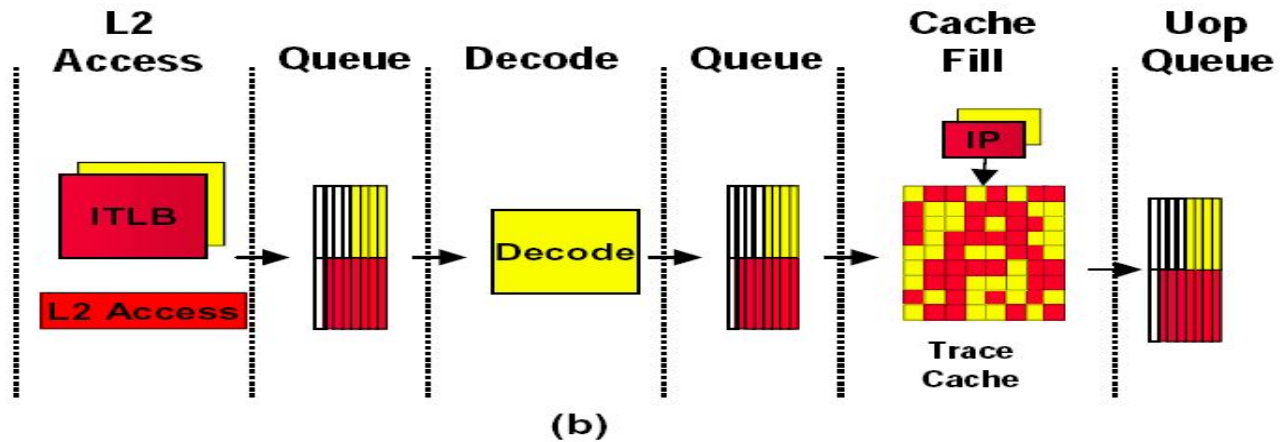
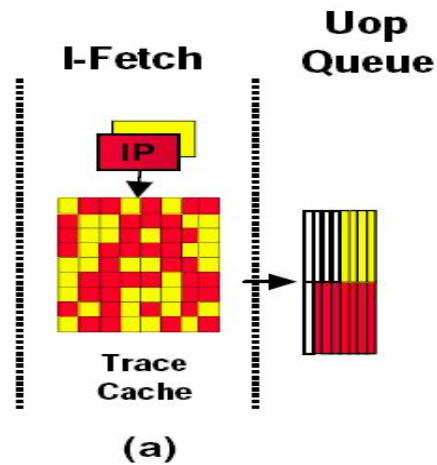
- Replicação do estado arquitetural entre threads
  - ... e de alguns recursos
- Compartilhamento de recursos (unidades funcionais)
  - Total ou particionado
- Escalonamento justo (*fairness*)
- Ganho de performance proporcionalmente menor que aumento na área do *die*
- Para o S.O., processador físico aparece como múltiplos processadores lógicos

# Intel Hyper-Threading Technology

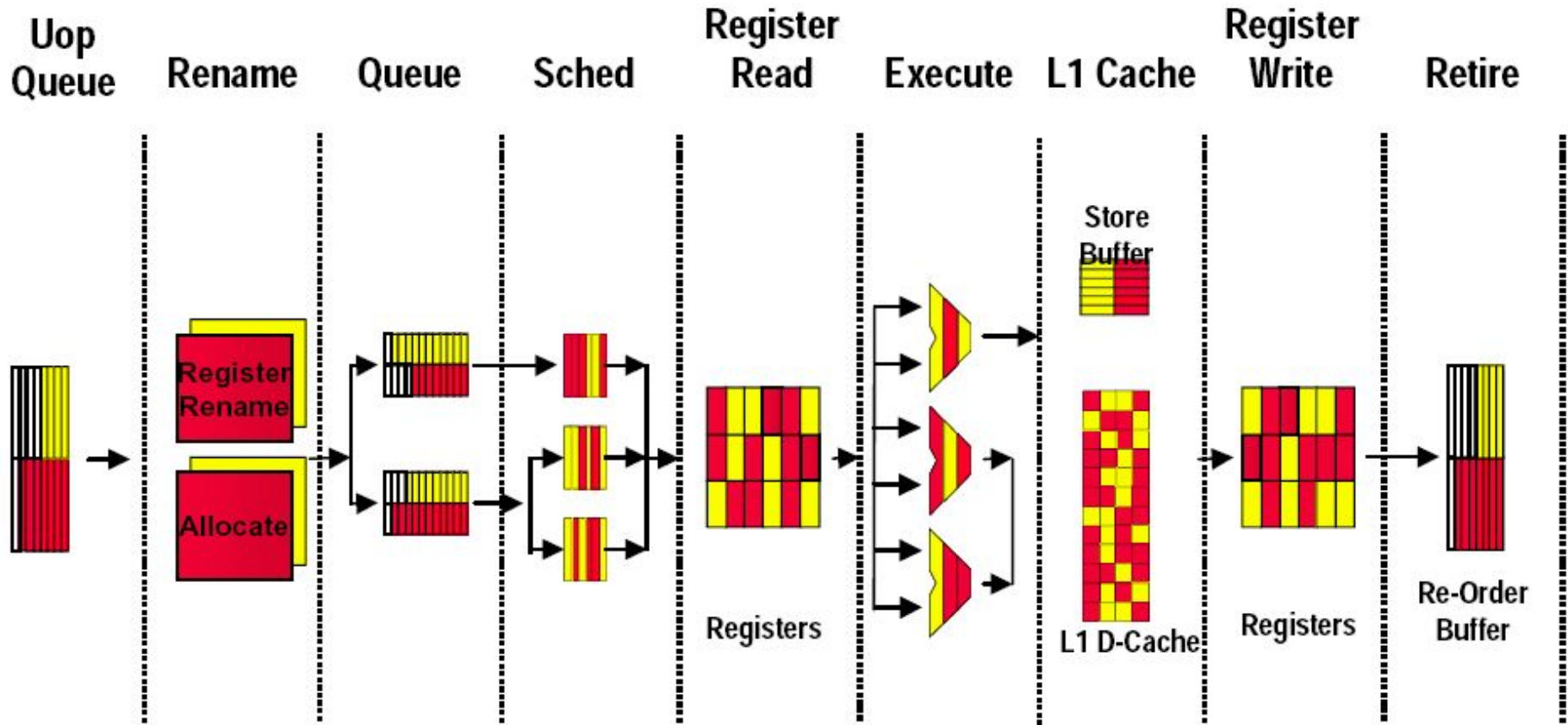
---

- Introduzida na família Xeon (servidores) em 2002
  - Pentium 4: primeiro processador desktop comercial com suporte a SMT
- 2 processadores lógicos
- Pipeline dividido em 2 partes: *front* e *back ends*
- Unidades funcionais compartilhadas, buffers particionados
- 2 modos de operação:
  - Single-Thread (ST0 e ST1)
  - Multi-Thread
- Processadores compartilham todos os níveis de cache
  - Helper Threads

# HTT – Front End Pipeline



# HTT – Back End Pipeline



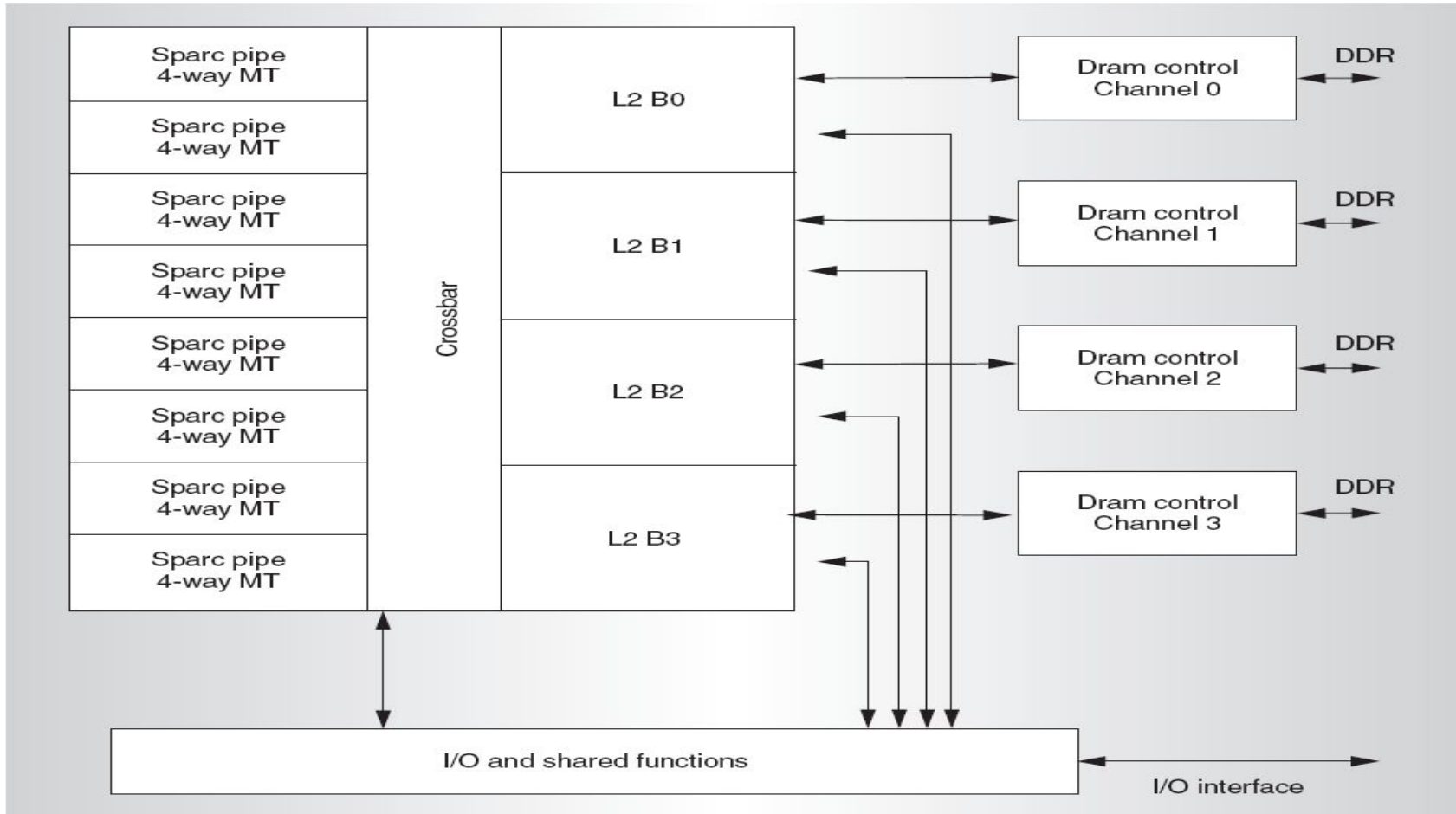


## Sun Niagara

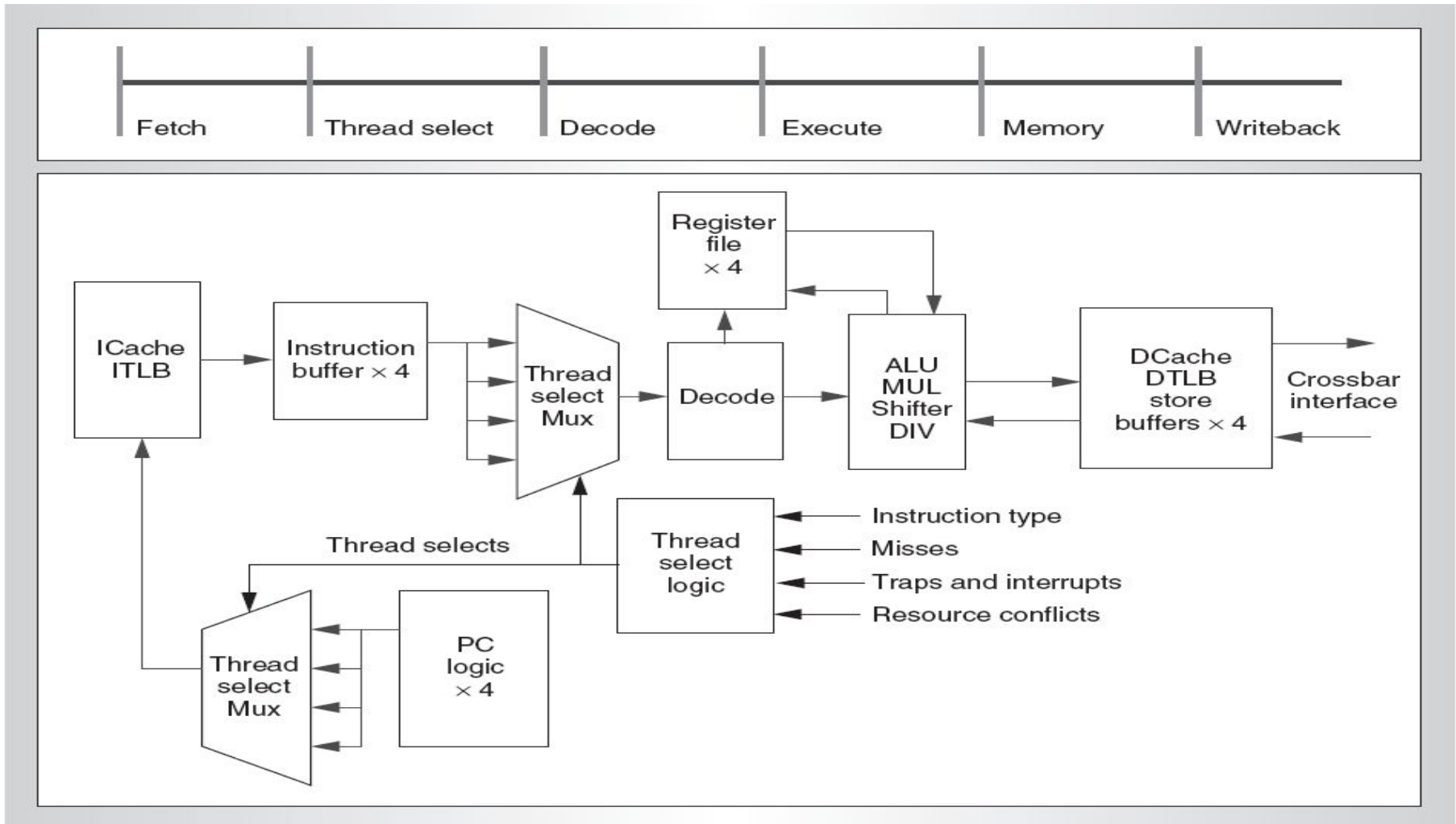
---

- Promete revolucionar o mercado de servidores
  - 32 threads simultâneas em 8 cores
- Grupos de threads (4/grupo) compartilham o mesmo *Sparc Pipe*
- Pressão forte no mecanismo de memória
- Pipeline simples!
- Política de seleção de threads
  - Bit de latência em cada instrução
  - Prioridades

# Niagara - Estrutura



# Niagara - Pipeline



## IBM Power5

---

- Evolução do Power4
  - Arquitetura PowerPC
  - Mantém o mesmo pipeline
- Pipeline dividido em 3 macro-estágios
  - Instruction fetch*
  - Group formation and instruction decode*
  - Out-of-order processing*
- Também oferece 2 modos de operação
  - Single-Threaded (ST)*
  - Enhanced SMT*

# Power5 - Pipeline

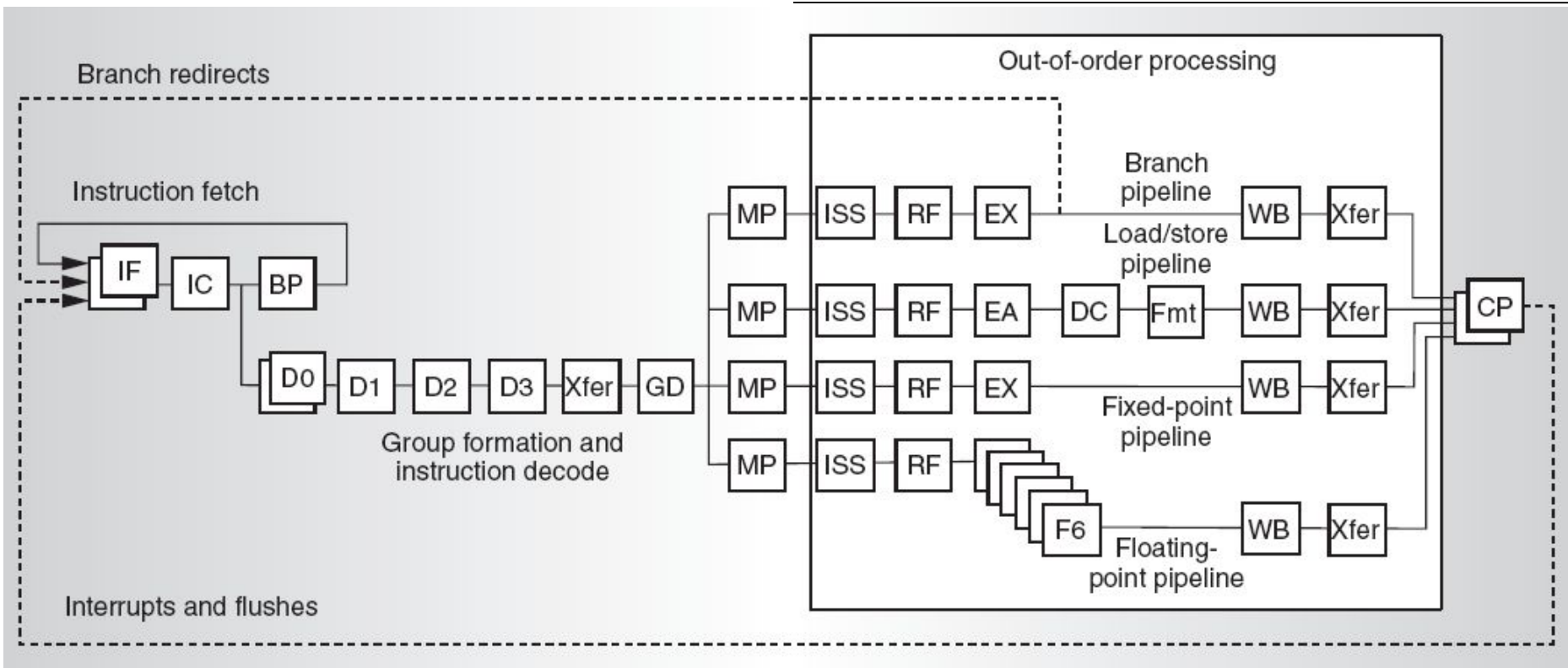


Figure 3. Power5 instruction pipeline (IF = instruction fetch, IC = instruction cache, BP = branch predict, D0 = decode stage 0, Xfer = transfer, GD = group dispatch, MP = mapping, ISS = instruction issue, RF = register file read, EX = execute, EA = compute address, DC = data caches, F6 = six-cycle floating-point execution pipe, Fmt = data format, WB = write back, and CP = group commit).

# Power5 – Fluxo de Execução

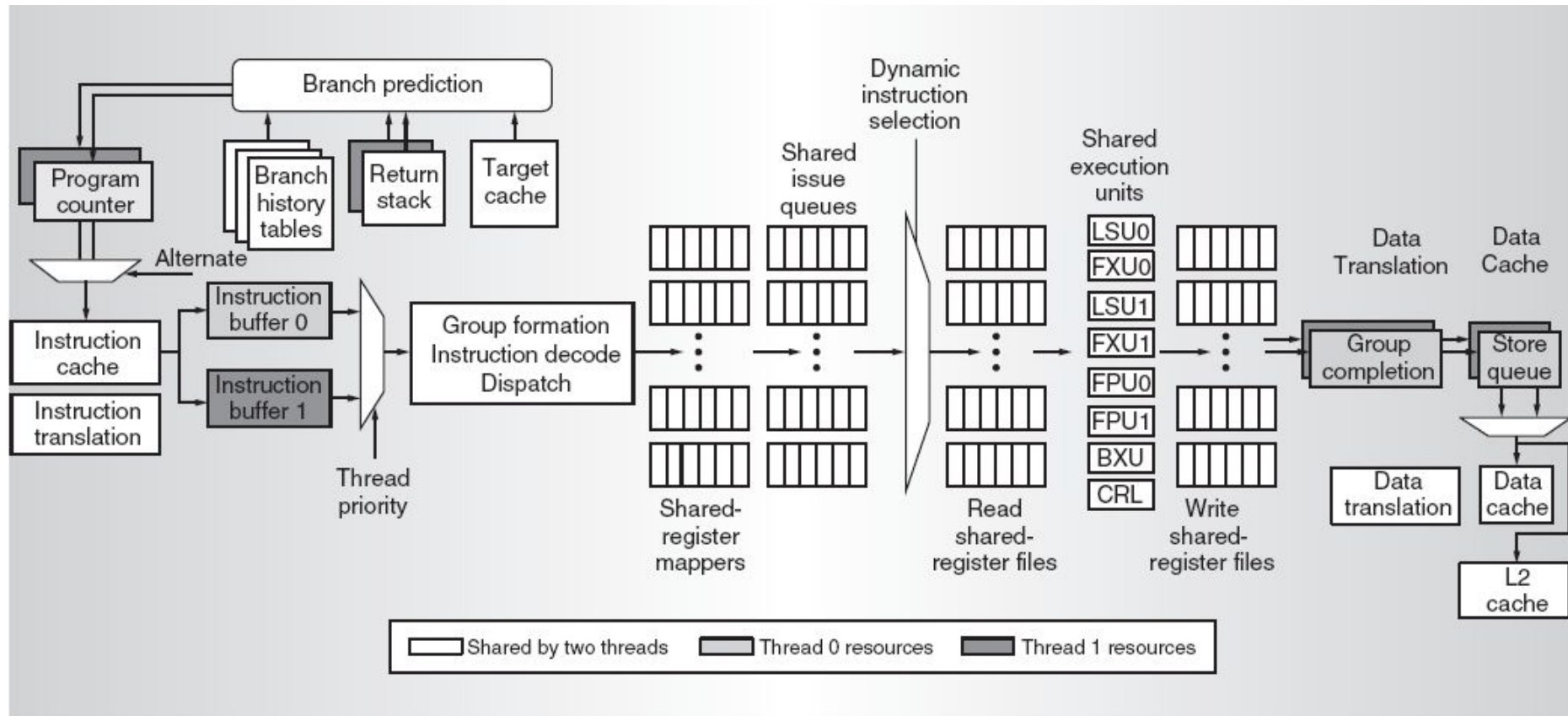


Figure 4. Power5 instruction data flow (BXU = branch execution unit and CRL = condition register logical execution unit).

## Conclusão

---

- Tecnologia SMT traz um bom ganho de performance a um custo baixo
  - Aproveitamento de características dos processadores super-escalares
- Ganhos proporcionais aos custos
  - HTT: 5% -> 20%
  - Power5: 24% -> 100%

# Perguntas & Respostas

Contato: [ra930886@ic.unicamp.br](mailto:ra930886@ic.unicamp.br)