

# FabScalar: Composing Syntetizable RTL Designs of Arbitrary Cores within a Canonical Superscalar Template

Niket Kumar Choudhary, Salil V. Wadhavkar, Tanmay A. Shah, Hiran Mayukh, Jayneel Gandhi, Brandon H. Dwiel, Sandeep Navada, Hashem Hashemi Najaf-abadi, and Eric Rotenberg. FabScalar: Composing Syntetizable RTL Designs of Arbitrary Cores within a Canonical Superscalar Template. In *38th International Symposium on Computer Architecture (ISCA 2011)*, pages 11-22, San Jose, CA, USA, 2011.

**Aluno:** Rogério Alves Cardoso (RA 134078)

---

## Resumo

Um processador multicore heterogêneo (ou processador assimétrico multicore) com um único conjunto de instruções (ISA), fornece múltiplos tipos de núcleos superescalares diferenciados que, podem agilizar a execução de diversos programas e fases do programa o que simplifica a execução de programas sequenciais, paralelos e cargas de trabalho multiprogramadas, explorando a diversidade em torno das aplicações. Os tipos de núcleos podem diferir em relação à largura da busca/issue, profundidade do pipeline, agendamento das instruções (*in-order* ou *out-of-order*), tamanho das unidades envolvida na exposição do paralelismo em nível de instrução, unidades funcionais e tamanho das cache ou dos preditores.

Houve um crescente trabalho conjunto em relação a esse paradigma, no entanto, nenhuma pesquisa anterior havia focado no “Calcanhar de Aquiles” desse modelo: o esforço de projeto e verificação do projeto é multiplicado pela quantidade de tipos de núcleos diferentes. Sendo que esse fator limita a diversidade microarquitetural que pode ser implementada na prática.

Este trabalho foca em processadores superescalares em uma forma canônica. A forma canônica está no nível de lógica dos estágios (canônicos) do pipeline: *fetch*, *decode*, *rename*, *dispatch*, *issue*, *etc*, tornando possível o design rápido de núcleos que diferem em três dimensões superescalares: largura do superescalar, profundidade do pipeline e o tamanho das estruturas para extração de instruções em nível de paralelismo (ILP).

Para essa ideia foi desenvolvida um conjunto de ferramentas chamado FabScalar, para, automaticamente, compor modelos sintetizáveis em nível de transação de registradores (RTL) de processadores com tipos de núcleos arbitrários utilizando os chamados modelos superescalares canônicos.

O conjunto de ferramentas consiste na definição de processadores superescalares canônicos. No modelo proposto todos os processadores superescalares possuem a mesma estrutura canônica, cada um possui um conjunto de estágios canônicos e a mesma interface entre eles. Uma biblioteca chamada *Canonical Pipeline Stage Library (CPSL)* contendo diversos designs sintetizáveis em RTL para cada estágio canônico do pipeline. Um processador superescalar pode ser composto selecionando um design para cada estágio canônico e então colocá-los juntos de forma a construir um pipeline com um conjunto completo de estágios canônicos. Esta composição é automatizada a despeito das interfaces invariantes dos estágios do pipeline canônico e do confinamento da diversidade arquitetural do pipeline. Portanto a diversidade microarquitetural é focada em torno das dimensões chaves e ambas definem a arquitetura superescalar e diferencia os processadores individualmente.

Em adição, considerando que nos processadores superescalares as RAM de alto porte e as CAM prevalecem e possuem um impacto significativo, foi desenvolvido o FabMem uma ferramenta para a geração automática de designs físicos de *Access Memory (RAM)* e *Content Adressable Memory (CAM)* de múltiplas portas.

Além disso o FabScalar provê um ambiente de cosimulação com um simulador funcional, com precisão de ciclo, escrito em C++ que roda de forma concorrente com a simulação verilog do processador superescalar sintetizado. Validações e experimentos foram realizados em torno de três frentes para validar a qualidade do modelo RTL gerado pela ferramenta: funcional e performance (instruções por ciclo), validação, validação temporal (tempo de ciclo), e confirmação de adequação com o fluxo ASIC padrão.

A ferramenta FabScalar torna possível a concepção de um chip, com muitos tipos diferentes de núcleos superescalares. Embora ainda esteja em estágio acadêmico, levando em consideração que o artigo ataca o problema do esforço de projeto e verificação, a intenção é o uso da ferramenta FabScalar para o projeto, verificação, validação e fabricação de chips composto de superescalar de microarquitetural diversificada, além de ser útil para a pesquisa de novas arquiteturas de computadores de uma forma geral. Outra aplicação promissora do FabScalar é a aceleração da simulação de processadores superescalares baseados em FPGA apresentado nesse mesmo artigo.