

Supporting Distributed Shared Memory on Multi-core Network-on-Chips Using a Dual Microcoded Controller

Xiaowen Chen, Zhonghai Lu, Axel Jantsch and Shuming Chen; DATE 2010

Resumido por **Táisa Cristina Costa dos Santos** (RA **036065**)

Atualmente há uma tendência das arquiteturas *single-chip* evoluírem de *single-core* para *multi-core* e até mesmo *many-core*. Tal evolução exige um mecanismo de comunicação e organização dos núcleos de processamento que seja eficiente e escalável com o tamanho do sistema, característica a qual os mecanismos baseados no uso de vários barramentos convencionais não conseguem satisfazer. Neste cenário surge o conceito de “rede no chip” (do inglês, *Network-on-Chip* ou NoC), que aplica teorias e sistemáticas de redes a SoCs (*System-on-Chip*).

Outra tendência é o aumento do tamanho da memória embutida no chip, fazendo com que esta ocupe uma área cada vez maior do SoC. Memórias grandes e centralizadas são um gargalo de desempenho, consumo de energia e custo em sistemas de tamanho médio a grande, o que torna as memórias distribuídas cada vez mais importantes.

Considerando as duas tendências supracitadas, o artigo tem como proposta a implementação de um suporte à Memória Distribuída Compartilhada (DSM) em NoCs por meio da utilização de um módulo de hardware programável, denominado “*Dual Microcoded Controller*” (DMC). A escolha por memória compartilhada se deve ao fato desta facilitar a programação e permitir o reuso de código legado já testado e validado. Já o DMC é flexível ao permitir que o usuário o configure programando suas funções (e, assim, atende exigências como *time-to-market*, por exemplo) e apresenta bom desempenho.

Nesta proposta, considerando uma NoC em que cada nó é um conjunto processador-memória, cada um destes conjuntos é associado a um DMC, que faz a interface do processador com a memória local e a rede. A memória local é dividida em privada (que é a memória física e só pode ser acessada pelo processador local) e compartilhada (que é vista por todos da rede e é virtual). Este modelo tem por objetivo agilizar acessos privados, que são mais frequentes, mantendo um único espaço virtual.

O DMC possui dois miniprocessadores, um para o processamento dos pedidos originados no processador local e outro para pedidos de processadores remotos à área de memória compartilhada. Tais miniprocessadores têm sua operação acionada pela chegada de um comando (local ou da rede). Quando da chegada de um comando, o miniprocessador é alimentado com microcódigos (que inicialmente estavam armazenados na memória local e posteriormente numa unidade de *storage* de microcódigo) para serem executados. Ambos os miniprocessadores possuem acesso à memória local compartilhada, e, para lidar com transações atômicas do tipo leitura-alteração há ainda um “sincronizador”, que resolve conflitos de acessos dos miniprocessadores a um mesmo *lock* simultaneamente (sincronização por *mutex*). O valor acessado pelo miniprocessador é, então, enviado através da rede em forma de mensagem ou entregue ao processador local. Quando o acesso é feito à memória privada, este é realizado diretamente, sem influência de um miniprocessador.

A proposta aqui resumida possui um *overhead* marcante quanto à tradução de endereço virtual para físico e à sincronização de transações (um pedido espera outro ser finalizado quando há um acesso concorrente a um mesmo espaço compartilhado). Há também o ônus de se adicionar um DMC a cada processador introduzido ao sistema (consumo de área e energia). Entretanto, experimentos com *workloads* sintéticos realizados usando dois modelos de tráfego na rede diferentes, *uniform* e *hotspot*, sugerem que o *overhead* do controlador se torna insignificante conforme o sistema aumenta de tamanho e os *delays* de comunicação passam a dominar o desempenho. Além disso, experimentos com *workload* de aplicação mostram que a proposta alcança um bom *speedup* de desempenho conforme o sistema aumenta de tamanho.

Por fim, os resultados de síntese mostram que o controlador pode executar até 455MHz consumindo 51K *gates* em uma tecnologia de 130nm, o que sugere que o DMC é um modelo viável de solução integrada, modular e flexível para resolver as questões de memória compartilhada distribuída em NoCs multi-core. Como trabalho futuro ficou o gerenciamento do consumo de energia, importante quesito de decisão sobre que abordagem seguir na implementação de um SoC.