

# A Arquitetura Cell

Douglas José S. Rodrigues

RA - 011104

IC - Unicamp

Avenida Albert Einstein, 1251

Caixa Postal 6176

+55 (19) 3788-5842

douglasjose@gmail.com

## ABSTRACT

Neste artigo serão apresentadas as principais características e funcionalidades do processador Cell. Serão apresentados detalhes do funcionamento de cada uma das estruturas que compõe a arquitetura Cell, e sua organização será comparada com a de outros processadores, dentre eles o Emotion Engine, core do console PlayStation 2.

## Categories and Subject Descriptors

C.1.2 [Multiple Data Stream Architectures (Multiprocessors)]: *Array and vector processors*

## General Terms

Design.

## Keywords

Cell CellBE PlayStation PPE SPE.

## 1. INTRODUÇÃO

*Cell Broadband Engine Architecture*, ou também CellBE, é o nome da nova arquitetura de microprocessadores em desenvolvimento pela parceria entre Sony, Toshiba e IBM.

A maior aplicação comercial da arquitetura Cell é o novo console da Sony, o PlayStation 3, que deverá ser lançado em novembro de 2006. A Toshiba anunciou também que pretende usar a arquitetura Cell aos seus novos aparelhos televisores de alta definição.

Nas próximas seções deste artigo serão apresentados os detalhes da arquitetura Cell, bem como a sua comparação com outras arquiteturas existentes.

## 2. ORGANIZAÇÃO

O chip do processador Cell pode ser organizado em várias configurações diferentes. A mais comum é a utilização de uma unidade PPE, o *Power Processor Element*, e múltiplas SPEs, os *Synergistic Processing Elements*. A PPE e as SPEs são ligadas por um barramento interno de alta velocidade, o EIB (*Element Interconnect Bus*).

### 2.1 Power Processor Element

O PPE é uma unidade baseada na arquitetura POWER, que é a base das linhas POWER e PowerPc [1]. O papel do PPE é servir como um controlador das várias SPEs, que serão responsáveis pela execução da maior parte da carga de trabalho.

Como o PPE é muito similar a outros processadores PowerPc de 64 bits, será possível utilizá-lo com sistemas operacionais convencionais, já disponíveis para esta arquitetura.

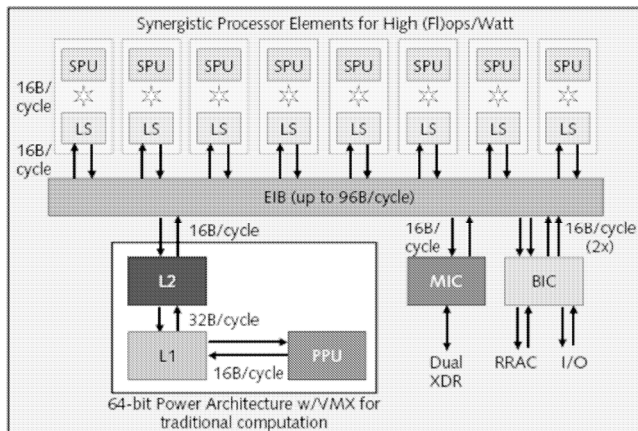
O PPE é um processador superescalar de 64 bits que não permite execução de instruções out-of-order, e é capaz de despachar até duas instruções por ciclo. É composto também por uma cache L2 de 512MB, bem como um cache L1 *two-way* de 32KB de instruções e um cache *four-way set-associative* de dados.

### 2.2 Synergistic Processing Elements

Os SPEs são as unidades responsáveis pela execução das tarefas que exigem maior processamento [1]. Em um ambiente padrão, o sistema operacional seria executado no PPE, que designaria a cada uma das SPEs uma tarefa específica e isolada.

Cada SPE é um processador RISC SIMD (*single instruction, multiple data*) [2], que contém 128 registradores de 128 bits, quatro unidades de ponto flutuante capazes de realizar um total de 32 bilhões de operações por segundo, e mais quatro unidades de operações sobre inteiros, capazes também de 32 bilhões de operações por segundo, trabalhando com um clock de 4GHz de frequência. É importante observar que este cálculo refere-se à utilização de instruções do tipo “multiply-add”, que recebe três operandos de entrada, e é contabilizada como duas operações (em apenas uma instrução). As instruções de um SPE podem receber até três operandos fonte, e um operando destino, conforme exemplifica a figura 2.

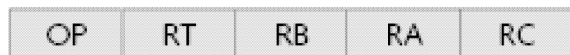
Um dos resultados mais vistosos da implementação desta arquitetura é o rompimento da barreira de 4GHz para o clock de um processador. É público que a Intel tem vários problemas tentando alcançar 4.0GHz de clock para o Pentium 4. Entretanto, o processador Cell é capaz de operar em até 4.6 GHz de frequência, embora este valor deva ser ligeiramente reduzido em produtos onde a energia elétrica consumida seja um fator a ser levado em consideração.



**Figura 1.** Organização da Arquitetura Cell.

Os SPEs diferem-se dos processadores convencionais também pela falta de uma memória cache. Ao invés de uma cache, cada SPE dispõe de uma região de memória chamada de *Local Store (LS)*. Cada *Local Store* é uma memória SRAM de 256KB, e cada SPE possui a sua LS privada. O endereçamento na LS é mapeado diretamente na memória principal, e nenhum protocolo de coerência de cache é utilizado.

É responsabilidade do software gerenciar o movimento de dados entre a memória principal e a LS. Esta abordagem foi escolhida devido à natureza dos programas que se espera executar no processador, e à economia de hardware necessário para a implementação de um protocolo de coerência.



**Figura 2.** Formato de uma instrução do SPE

### 2.3 Element Interconnect Bus

A transferência de dados entre o PPE, os SPEs, e as interfaces de entrada e saída do processador é

responsabilidade de uma estrutura chamada *Element Interconnect Bus (EIB)*.

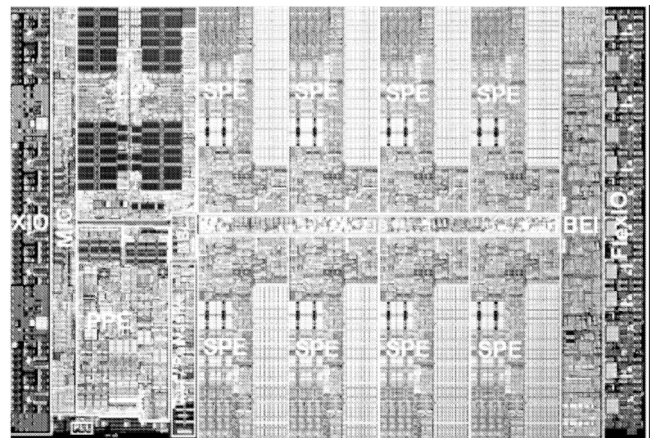
O EIB é implementado como quatro “anéis” que circulam em sentidos contrários em pares. Ele trabalha em metade do ciclo de clock do processador, e é capaz de transmitir 16 bytes a cada dois clocks do sistema. Devido a esta característica, o EIB é comumente definido como um barramento de oito bytes por ciclo.

### 2.4 Memory Interface Controller

A memória e os canais de entrada e saída são baseados em tecnologia Rambus. Estão presentes dois controladores independentes XDR, que provêm mais flexibilidade do que apenas um. A interface de memória pode trabalhar à incrível taxa de 25.6GB/s.

### 3. TECNOLOGIA

O processador Cell será fabricado usando a tecnologia SOI (*Silicon-On-Insulator*) de 90nm com oito camadas de metal. A área do *die* da versão de produção do Cell será de 235mm<sup>2</sup>. Testes mostram que o processador consumindo 1,2 volts e trabalhando em uma frequência de 4 GHz dissipa 6 watts de potência [3].



**Figura 3.** Foto do *die* do Cell

### 4. CONJUNTO DE INSTRUÇÕES

O Cell possui um pipeline de 21 níveis. É capaz de explorar especulação com a *branch prediction*, onde em um SPE, a penalidade de um erro na especulação é de 18 ciclos.

Cada instrução tem tamanho fixo, de 32 bits. E a arquitetura Cell é *big-endian*. Vale observar aqui que

a arquitetura POWER suporta tanto o *little* quanto *big-endian*, mas no caso da arquitetura Cell, apenas um modo de execução é suportado.

## 5. SOFTWARE

As ferramentas para desenvolvimento para o Cell estão definidas em cima do Linux para PowerPc. A programação para as SPEs é baseada em C, com suporte parcial a C++. O suporte a outras linguagens, por exemplo, Fortran, está sendo ainda desenvolvido. Estão disponíveis também ferramentas de depuração, como por exemplo, o GDB.

O objetivo principal da pesquisa de ferramentas e frameworks para o desenvolvimento de aplicações para o Cell é prover uma camada de abstração acima do hardware, que permita que as aplicações sejam escaláveis na presença de outros processadores.

Este processo demanda novas ferramentas, já que o paradigma de programação para o Cell envolve programas para cada um dos SPEs, que contém todas as suas instruções e seus dados. Este paradigma é diferente do utilizado por linguagens que definem estruturas em classes, como por exemplo, Java.

## 6. EMOTION ENGINE

A arquitetura *Emotion Engine* é a utilizada no processador central do console PlayStation 2. Não é possível afirmar que a arquitetura Cell seja uma evolução da arquitetura *Emotion Engine*, pois elas compartilham apenas a sua aplicação na família de videogames PlayStation.

Enquanto o Cell é baseado na arquitetura POWER, o *Emotion Engine* é baseado na arquitetura MIPS64. Um aspecto bastante interessante de se observar na comparação das duas arquiteturas é a área do *die* de cada processador. Mesmo o desempenho do Cell sendo ordens de magnitude maior que o do *Emotion Engine*, a área ocupada por ele é menor. Mais dados comparativos estão disponíveis na Tabela 1.

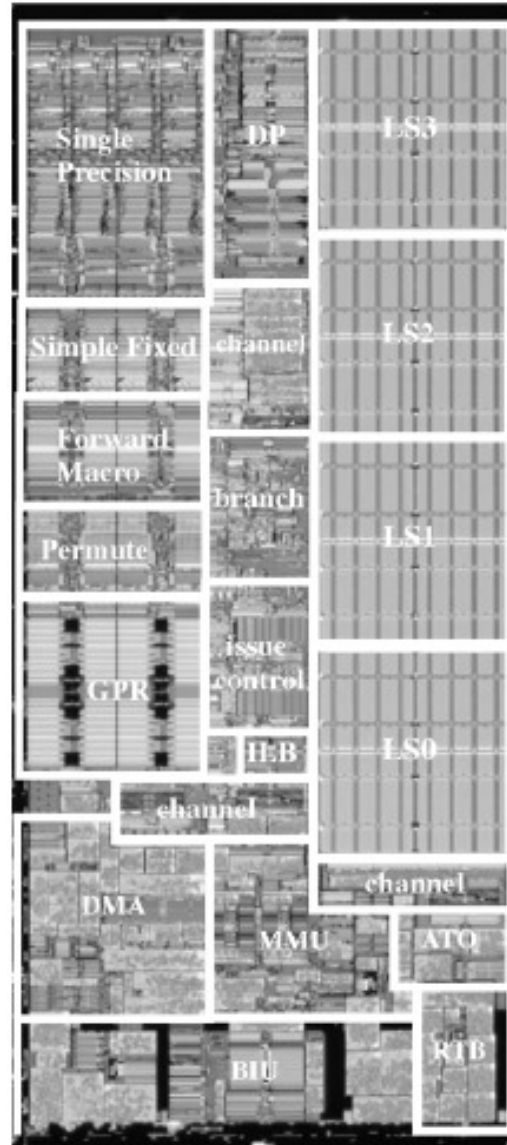


Figura 4. Foto do *die* de um SPE.

**Tabela 1. Comparação entre os processadores Emotion Engine e Cell.**

	Sony Emotion Engine	Cell Processor
CPU Core ISA	MIP64	64-bit Power Architecture
Core Issue Rate	Dual	Dual
Core Frequency	300MHz	~4GHz (est.)
Core Pipeline	6 stages	21 stages
Core L1 Cache	16KB I-Cache + 8KB D-Cache	32KB I-Cache + 32KB D-Cache
Core Additional Memory	16KB scratch	512KB L2
Vector Units	2	8
Vector Registers (#, width)	32, 128-bit + 16, 16-bit	128, 128-bit
Vector Local Memory	4K/16KB I-Cache + 4K/16KB D-Cache	256KB unified
Memory Bandwidth	3.2GB/s peak	25.6GB/s peak (est.)
Total Chip Peak FLOPS	6.2GFLOPS	256GFLOPS
Transistor Count	10.5 million	235 million
Power	15W @ 1.8V	~80W (est.)
Die Size	240mm <sup>2</sup>	235mm <sup>2</sup>
Process	250nm, 4LM	90nm, 8LM + LI

## 7. CONCLUSÃO

A arquitetura Cell mostra-se extremamente revolucionária na abordagem de alguns conceitos que são trabalhados de maneira diferente em outras arquiteturas de renome e já consolidadas. O consórcio entre Sony, Toshiba e IBM planeja estender a utilização de sua arquitetura para outros tipos de dispositivos, além de sua principal aplicação, o console PlayStation 3, mesmo não sendo seu alvo o mercado de processadores para computadores de propósito geral.

## 8. REFERENCES

- [1] D. Pham, S. Asano, M. Bolliger, M. N. Day, H. P. Hofstee, C. Johns, J. Kahle, A. Kameyama, J. Keaty, Y. Masubuchi, M. Riley, D. Shippy, D. Stasiak, M. Suzuoki, M. Wang, J. Warnock, S. Weitzel, D. Wendel, T. Yamazaki, K. Yazawa. The Design and Implementation of a First-Generation CELL Processor. *ISSCC 2005 MICROPROCESSORS AND SIGNAL PROCESSING*, (Feb. 2005), 591-593.
- [2] H. Peter Hofstee. *Power Efficient Processor Architecture and The Cell Processor*. 11th Int'l Symposium on High-Performance Computer Architecture, 2005.
- [3] Flachs, B.; Asano, S.; Dhong, S.H.; Hofstee, H.P.; Gervais, G.; Roy Kim; Le, T.; Peichun Liu; Leenstra, J.; Liberty, J.; Michael, B.; Hwa-Joon Oh; Mueller, S.M.; Takahashi, O.; Hatakeyama, A.; Watanabe, Y.; Yano, N.; Brokenshire, D.A.; Peyravian, M.; Vandung To; Iwata, E. The microarchitecture of the synergistic processor for a cell processor. *IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 41, NO. 1, JANUARY 2006*, 63-70.