

**MC542**

**Organização de Computadores**  
Teoria e Prática

2007

Prof. Paulo Cesar Centoducatte  
[ducatte@ic.unicamp.br](mailto:ducatte@ic.unicamp.br)  
[www.ic.unicamp.br/~ducatte](http://www.ic.unicamp.br/~ducatte)

MC542  
5.1

**MC542**

**Circuitos Lógicos**

**Projeto de Circuitos Seqüenciais Síncronos**  
**Máquinas de Estados Finitos**

"DDCA" - (Capítulo 3)  
"FDL" - (Capítulo 8)

MC542  
5.2

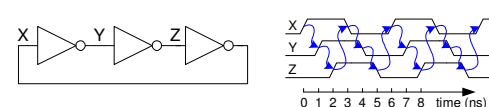
**Título do Capítulo Abordado**  
**Sumário**

- Projeto de Circuitos lógicos Síncronos
- Projeto de Máquinas de Estados - FSM
  - Diagramas de Estados
  - Tabela de Estados
  - Atribuição de Estados
  - Escolha dos Flip-Flops
  - Derivação do Próximo Estado e Saída
- Exemplos
- Timing
  - Restrições de timing de entrada
  - Restrições de timing de saída

MC542  
5.3

**Lógica Seqüencial**

- Circuito Seqüencial: todo aquele que não é um circuito combinacional
- Circuito problemático:



The diagram shows a feedback loop with three inverters (X, Y, Z) connected in series. The timing diagram shows the signals X, Y, and Z over time (0 to 8 ns). The signals oscillate between 0 and 1, indicating a race condition or oscillation.

- Este circuito não tem entrada e tem de 1 a 3 saídas.
- Ele é um circuito instável que oscila.
- Seu período depende do atraso (delay) dos inversores - que por sua vez depende do processo de fabricação, dimensões, temperatura etc.
- O circuito possui um caminho ciclico (feedback)

MC542  
5.4

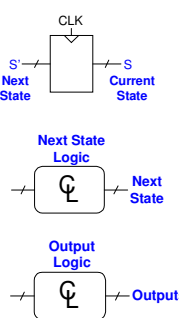
**Projeto de Circuitos Seqüenciais Síncronos**

- Quebre os caminhos ciclicos inserindo registradores
- Estes registradores conterão o estado do sistema
- O estado só muda na borda (de subida ou de descida) do clock
- Regras para composição de circuitos seqüenciais síncronos:
  - Todo elemento do circuito ou é um registrador ou um circuito combinacional
  - Há pelo menos um registrador.
  - Todos os registradores recebem o mesmo sinal de clock.
  - Todo caminho ciclico possui pelo menos um registrador.
- Exemplo de circuitos seqüenciais síncronos
  - Finite state machines (FSMs)
  - Pipelines

MC542  
5.5

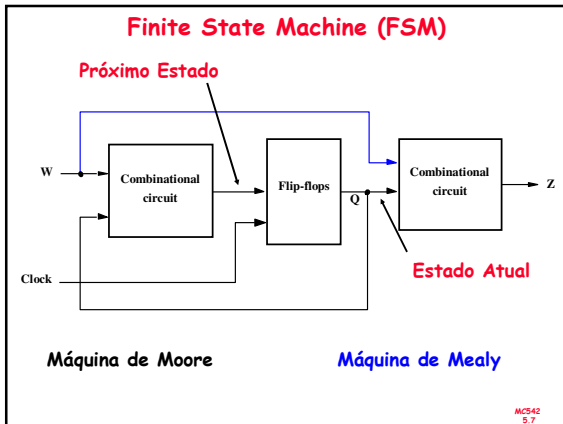
**Finite State Machine (FSM)**

- Constituido de :
  - Registradores de Estado que
    - » Armazenam o estado corrente e
    - » Carregam o próximo estado na borda do clock
- Circuito Combinacional que
  - » Computa o próximo estado
  - » Computa as saídas



The diagram shows a block diagram of an FSM. It consists of a Register (labeled CLK) that takes the Next State as input and outputs the Current State. The Current State is fed into the Next State Logic and Output Logic blocks. The Next State Logic block outputs the Next State, and the Output Logic block outputs the Outputs.

MC542  
5.6



### Circuitos Seqüenciais Síncronos

- O circuito possui uma entrada  $w$  e uma saída  $s$
- Toda mudança no circuito ocorre na borda do **clock**

Exemplo: Projetar um circuito que possui uma entrada  $w$  de 1 bit e uma saída  $z$  também de 1 bit e  $z = 1$  se  $w = 1$  durante os dois ciclos de clock precedentes e  $z = 0$  caso contrário. O circuito deve responder à borda de subida do clock.

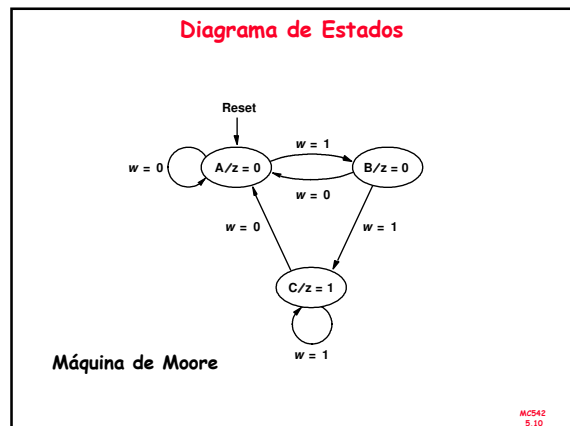
MCS42 5.8

### Circuitos Seqüenciais Síncronos

- Exemplo do comportamento do circuito a ser projetado

Clock cycle:	$t_0$	$t_1$	$t_2$	$t_3$	$t_4$	$t_5$	$t_6$	$t_7$	$t_8$	$t_9$	$t_{10}$
$w$ :	0	1	0	1	1	0	1	1	1	0	1
$z$ :	0	0	0	0	0	1	0	0	1	1	0

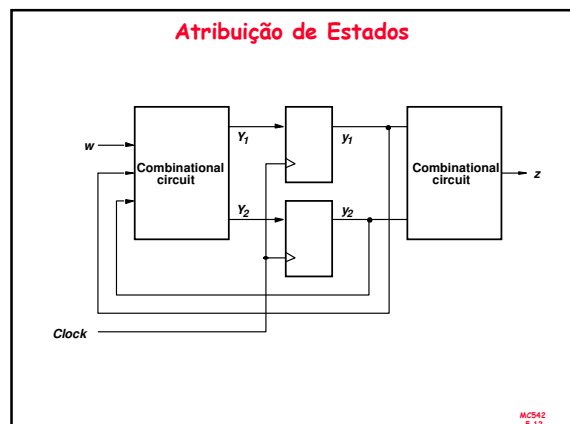
MCS42 5.9



### Tabela de Estados

Present state	Next state		Output $z$
	$w = 0$	$w = 1$	
A	A	B	0
B	A	C	0
C	A	C	1

MCS42 5.11



### Atribuição de Estados

Present state	Next state		Output
	w = 0	w = 1	
$y_2 y_1$	$Y_2 Y_1$	$Y_2 Y_1$	$z$
A 00	00	01	0
B 01	00	10	0
C 10	00	10	1
11	dd	dd	d

MCS42 5.13

### Escolha dos Flip-Flops e Derivação das Equações de Excitação e de Saída

#### FF tipo D

$y_2 y_1$	00	01	11	10
w	0	0	d	0
1	1	0	d	0

Ignoring don't cares

$$Y_1 = w\bar{y}_1\bar{y}_2$$

$$Y_2 = w\bar{y}_1\bar{y}_2 + w\bar{y}_1 y_2$$

$$z = \bar{y}_1 y_2$$

Using don't cares

$$Y_1 = w\bar{y}_1\bar{y}_2$$

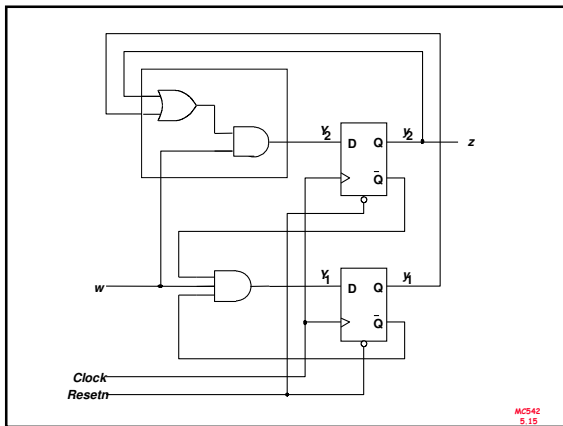
$$Y_2 = w\bar{y}_1 + w y_2 = w(y_1 + y_2)$$

$$z = y_2$$

$y_2 y_1$	00	01	11	10
w	0	0	d	0
1	0	1	d	1

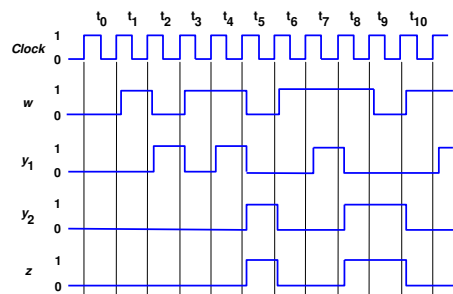
$y_2$	0	1
$y_1$	0	0
1	1	d

MCS42 5.14



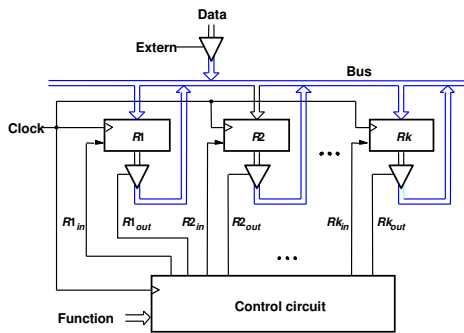
MCS42 5.15

### Diagrama de Tempo



MCS42 5.16

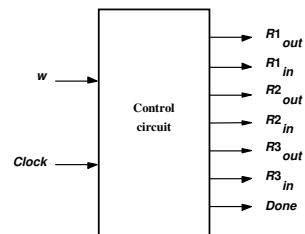
### Exemplo: Registradores em um Barramento



MCS42 5.17

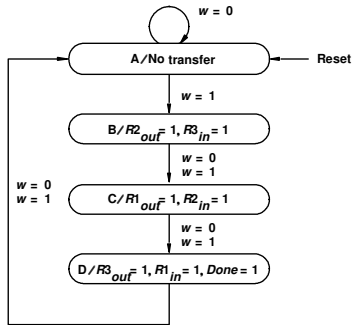
### Exemplo (Cont.)

Projetar o Controle para realizar swap entre R1 e R2, usando R3 como auxiliar



MCS42 5.18

**Exemplo (Cont.)  
Diagrama de Estados**



MCS42 5.19

**Exemplo (Cont.)  
Tabela de Estados**

Present state	Next state		Outputs						
	w = 0	w = 1	R1 <sub>out</sub>	R1 <sub>in</sub>	R2 <sub>out</sub>	R2 <sub>in</sub>	R3 <sub>out</sub>	R3 <sub>in</sub>	Done
A	A	B	0	0	0	0	0	0	0
B	C	C	0	0	1	0	0	1	0
C	D	D	1	0	0	1	0	0	0
D	A	A	0	1	0	0	1	0	1

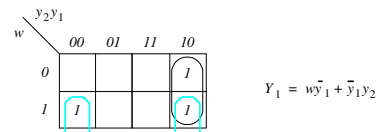
MCS42 5.20

**Exemplo (Cont.)  
Tabela de Atribuição de Estados**

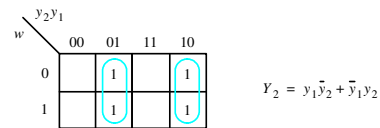
Present state	Nextstate		Outputs						
	w = 0	w = 1	R1 <sub>out</sub>	R1 <sub>in</sub>	R2 <sub>out</sub>	R2 <sub>in</sub>	R3 <sub>out</sub>	R3 <sub>in</sub>	Done
y <sub>2</sub> y <sub>1</sub>	Y <sub>2</sub> Y <sub>1</sub>	Y <sub>2</sub> Y <sub>1</sub>							
A	00	00 01	0	0	0	0	0	0	0
B	01	10 10	0	0	1	0	0	1	0
C	10	11 11	1	0	0	1	0	0	0
D	11	00 00	0	1	0	0	1	0	1

MCS42 5.21

**Derivação das Equações de Excitação, para FF tipo D, e de Saída**



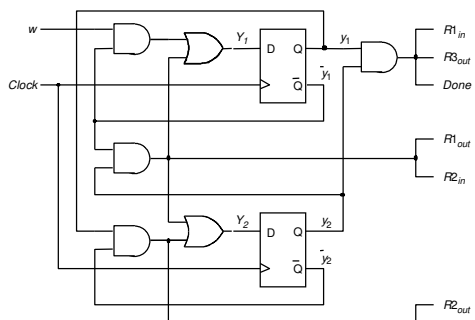
$$Y_1 = w\bar{y}_1 + \bar{y}_1y_2$$



$$Y_2 = y_1\bar{y}_2 + \bar{y}_1y_2$$

MCS42 5.22

**Derivação das Equações de Excitação e de Saída**



MCS42 5.23

**Atribuição de Estados**

Present state	Next state		Output
	w = 0	w = 1	
y <sub>2</sub> y <sub>1</sub>	Y <sub>2</sub> Y <sub>1</sub>	Y <sub>2</sub> Y <sub>1</sub>	z
A	00	00 01	0
B	01	00 10	0
C	10	00 10	1
D	11	dd dd	d

MCS42 5.24

**Escolha dos Flip-Flops e Derivação das Equações de Excitação e de Saída**

**FF tipo D**

Ignoring don't cares

$w$	00	01	11	10
$y_2 y_1$	0	0	d	0
	1	0	d	0

$$Y_1 = w\bar{y}_1\bar{y}_2$$

Using don't cares

$w$	00	01	11	10
$y_2 y_1$	0	0	d	0
	1	0	d	0

$$Y_1 = w\bar{y}_1\bar{y}_2$$

$w$	00	01	11	10
$y_2 y_1$	0	0	d	0
	1	0	d	0

$$Y_2 = w\bar{y}_1\bar{y}_2 + w\bar{y}_1 y_2$$

$w$	00	01	11	10
$y_2 y_1$	0	0	d	0
	1	0	d	0

$$Y_2 = w\bar{y}_1 + w y_2 = w(y_1 + y_2)$$

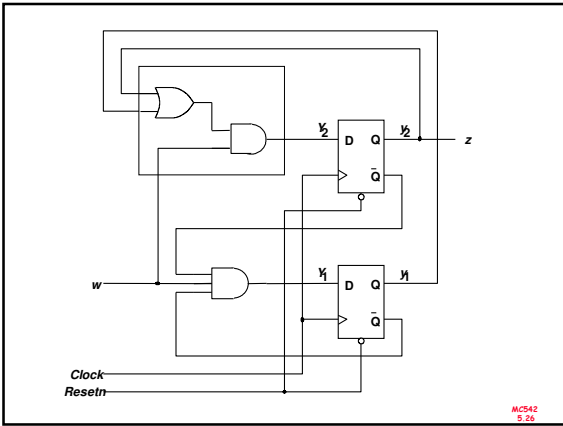
$y_2$	0	1
$y_1$	0	0
	1	d

$$z = \bar{y}_1 y_2$$

$y_2$	0	1
$y_1$	0	0
	1	d

$$z = y_2$$

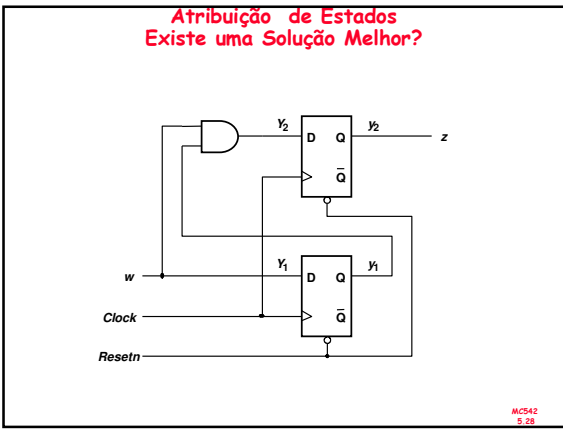
MCS42 5.26



**Atribuição de Estados**  
Existe uma Solução Melhor?

	Present state	Next state		Output z
		w = 0	w = 1	
		$Y_2 Y_1$	$Y_2 Y_1$	
A	00	00	01	0
B	01	00	11	0
C	11	00	11	1
	10	dd	dd	d

MCS42 5.27



- Atribuição de Estados**
- Para Circuitos grandes, diferentes Atribuições de Estados, tem um impacto considerável sobre o custo
  - Na prática é impossível determinar a melhor atribuição de estados para circuitos grandes.
  - Soluções com abordagem baseada em busca exaustiva são impraticáveis.
  - Ferramentas de CAD usam, em geral, técnicas baseadas em heurísticas para realizar a atribuição de estados e os detalhes não são, em geral, publicados.
- MCS42 5.29

**Atribuição de Estados**  
One-Hot Encoding

- Uso de tantas variáveis de Estados quantos forem os Estados.
- Um estado é representado com uma váriavel igual a 1 e todas as outras em 0
  - A variável igual a 1 é chamada de "hot"
- Exemplo:

	Present state	Nextstate		Output z
		w = 0	w = 1	
		$Y_3 Y_2 Y_1$	$Y_3 Y_2 Y_1$	
A	001	001	010	0
B	010	001	100	0
C	100	001	100	1

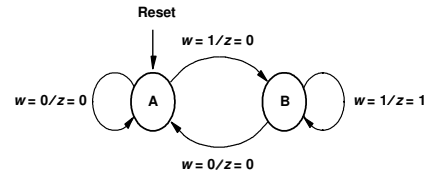
MCS42 5.30

### FSM de Mealy

Clock cycle:	$t_0$	$t_1$	$t_2$	$t_3$	$t_4$	$t_5$	$t_6$	$t_7$	$t_8$	$t_9$	$t_{10}$
w:	0	1	0	1	1	0	1	1	1	0	1
z:	0	0	0	0	1	0	0	1	1	0	0

MCS42  
5.31

### FSM de Mealy



MCS42  
5.32

### FSM de Mealy

Present state	Next state		Output z	
	w = 0	w = 1	w = 0	w = 1
A	A	B	0	0
B	A	B	0	1

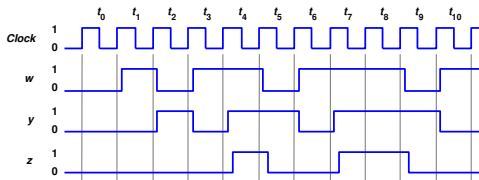
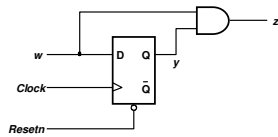
MCS42  
5.33

### FSM de Mealy

Present state	Next state		Output z	
	w = 0	w = 1	w = 0	w = 1
y	Y	Y	z	z
A	0	1	0	0
B	1	1	0	1

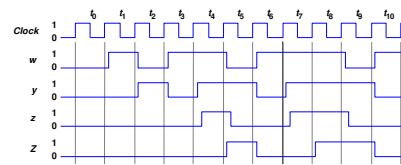
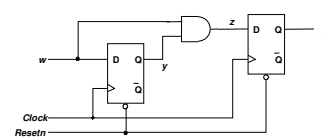
MCS42  
5.34

### FSM de Mealy



MCS42  
5.35

### FSM de Mealy Para a Especificação Original



MCS42  
5.36

### FSM - Exercícios

- Projetar um contador binário que conte da seguinte forma: 1, 3, 5, 7, 9, 11, 13, 15, 0, 2, 4, 6, 8, 10, 12, 14, 1
- Projete usando FF JK
- Projete usando FF T
- Projete usando FF RS

MCS42  
5.37

### Preenchimento do MK para FF JK e RS

	K	J
0 -> 0	1 0 X 0 0	0 0 0
0 -> 1	0 1 X 1 1	1 1 1
1 -> 0	1 1 1 1 X	0 1 X
1 -> 1	0 0 0 0 X	1 0 X

	R	S
0 -> 0	1 0 X 0 0	0 0 0
0 -> 1	0 0 0 1 1	1 1 1
1 -> 0	1 1 1 0 0	0 0 0
1 -> 1	0 0 0 0 X	1 1 X

MCS42  
5.38

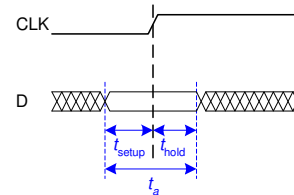
### Timing em um FF Tipo D

- Flip-flop amostra  $D$  em cada borda do clock
- $D$  deve estar estável quando ele é amostrado
- Similar ao processo fotográfico,  $D$  deve estar estável em torno da borda do clock
- Se  $D$  muda quando ele está sendo amostrado pode ocorrer o que chamamos de meta-estabilidade (similar à fotografica ficar "borrada/tremida")

MCS42  
5.39

### Restrições de Timing de Entrada

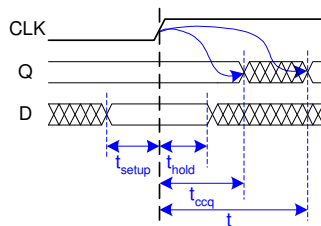
- Setup time:  $t_{setup}$  = tempo *antes* da borda do clock em que o dado deve permanecer estável (i.e. não mudar)
- Hold time:  $t_{hold}$  = tempo *após* a borda do clock em que o dado deve permanecer estável
- Tempo de abertura:  $t_a$  = tempo em volta da borda do clock em que o dado deve permanecer estável ( $t_a = t_{setup} + t_{hold}$ )



MCS42  
5.40

### Restrições de Timing de Saída

- Propagation delay:  $t_{pcq}$  = tempo *após* a borda do clock que é garantido que a saída  $Q$  está estável (i.e., para de mudar)
- Contamination delay:  $t_{ccq}$  = tempo *após* a borda do clock que  $Q$  pode ser instável (i.e., começa a mudar)



MCS42  
5.41

### Timing: Comportamento Dinâmico

- A entrada de um circuito seqüencial síncrono deve ser estável durante o tempo de abertura (setup e hold) em volta da borda do clock.

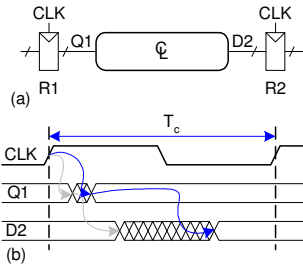
- Especificamente, a entrada deve ser estável:

- No mínimo  $t_{setup}$  *antes* da borda do clock
- No mínimo  $t_{hold}$  *após* a borda do clock

MCS42  
5.42

### Timing: Comportamento Dinâmico

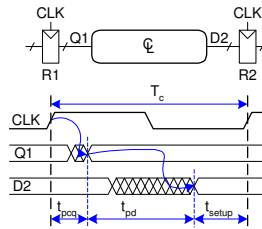
- O delay entre os registradores tem valores mínimos e máximos, dependendo dos delays dos elementos do circuito



MCS42 5.43

### Setup Time

- O setup time depende do delay máximo do registrador R1 e da lógica combinacional.
- A entrada do registrador R2 deve ser estável no mínimo  $t_{setup}$  antes da borda do clock.



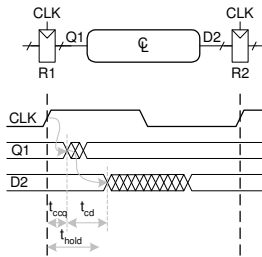
$$T_c \geq t_{pcq} + t_{pd} + t_{setup}$$

$$t_{pd} \leq T_c - (t_{pcq} + t_{setup})$$

MCS42 5.44

### Hold Time

- O hold time depende do delay mínimo do registrador R1 e da lógica combinacional.
- A entrada do registrador R2 deve ser estável por pelo menos  $t_{hold}$  após a borda do clock.



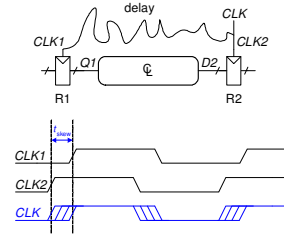
$$t_{ccq} + t_{pd} > t_{hold}$$

$$t_{pd} > t_{hold} - t_{ccq}$$

MCS42 5.45

### Clock Skew

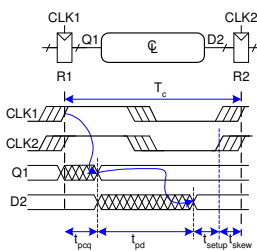
- O clock não chega a todos os registradores ao mesmo tempo
- Isto pode ser causado por atrasos ou ruídos
- Skew é a diferença entre duas bordas de clock
- Quando existem diversos registradores, analisa-se o pior caso e garante-se o seu funcionamento.



MCS42 5.46

### Setup Time com Clock Skew

- O pior caso aqui é CLK2 estar adiantado em relação a CLK1



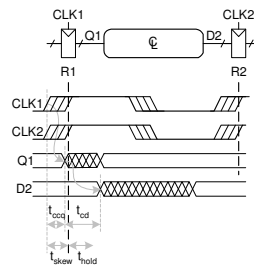
$$T_c - t_{skew} \geq t_{pcq} + t_{pd} + t_{setup}$$

$$t_{pd} \leq T_c - (t_{pcq} + t_{setup} + t_{skew})$$

MCS42 5.47

### Hold Time com Clock Skew

- O pior caso aqui é CLK2 estar atrasado em relação a CLK1



$$t_{ccq} + t_{pd} > t_{hold} + t_{skew}$$

$$t_{pd} > t_{hold} + t_{skew} - t_{ccq}$$

MCS42 5.48



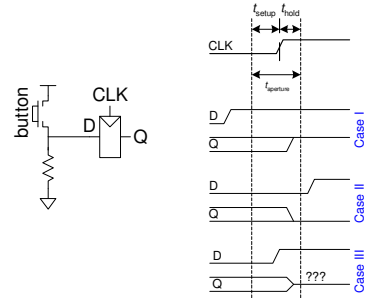
### Clock Skew

- O clock skew tem como efeito aumentar o **setup** e **hold time**
- O clock skew reduz o tempo para uso do circuito combinacional
- O clock skew também aumenta o **tempo mínimo** requerido do circuito combinacional (em geral esse tempo, por decisão de projeto, é zero, o que permite que a saída de um FF possa ser ligada diretamente à entrada de outro FF). Assim, dois FF não podem ser ligados diretamente.

MCS42  
5.49

### Violando a temporização dinâmica

- Exemplo: entradas assíncronas podem violar a temporização dinâmica



MCS42  
5.50