



MC542

Organização de Computadores:  
Teoria e Prática

Exerc.  
1

IC – UNICAMP

## 1 Objetivo

O objetivo deste exercício e dos próximos é projetar e simular diversas unidades (componentes) típicas de uma *cpu* usando VHDL.

O projeto será desenvolvido usando-se a ferramenta Quartus da Altera instalada nos laboratórios 1 e 2 do IC-3. Alternativamente você pode fazer download e instalar o Quartus em uma máquina pessoal (para acesso à página do Programa Educacional da Altera consulte a página do curso) ou ainda poderá ser usado o compilador GHDL (para acesso ao compilador GHDL consulte a página do curso).

## 2 Descrição do Projeto

Implemente e simule usando VHDL uma unidade de controle de um sistema composto por um barramento e um conjunto de registradores. Assuma que no sistema há 4 registradores ( $R_1$ ,  $R_2$ ,  $R_3$  e TEMP) de 16-bits conectados a um barramento. As operações possíveis de serem realizadas no sistema é a carga de um valor externo (disponível no barramento) em um dos registradores  $R_i$  e SWAP  $R_i, R_j$ . Onde SWAP  $R_i, R_j$  é realizada em 3 ciclos de *clock* da seguinte forma:

```
TEMP <-- [Rj]
[Rj] <-- [Ri]
[Ri] <-- [TEMP]
```

O conteúdo de um registrador R (ou TEMP) é colocado no barramento ativando-se o seu respectivo sinal  $R_{out}$ . O dado no barramento é armazenado em um registrador R na borda de subida do sinal *clock* ativando-se o seu respectivo sinal  $R_{in}$ . A unidade de controle deve receber como entrada, além do sinal *clock* um sinal *Instr* de 6 bits que tem o significado como mostrado na figura 1.

