

MC542

Organização de Computadores Teoria e Prática

2006

Prof. Paulo Cesar Centoducatte

ducatte@ic.unicamp.br

www.ic.unicamp.br/~ducatte

MC542

Circuitos Lógicos

Introdução a Circuitos Lógicos

**"Fundamentals of Digital Logic with VHDL
Design" - (Capítulo 2)**

Introdução a Circuitos Lógicos

Sumário

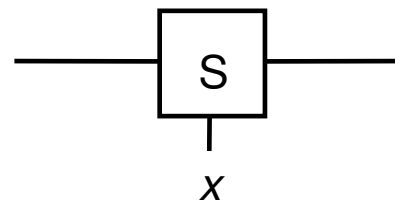
- Variáveis e Funções
- Funções AND, Or e NOT
- Funções Complexas
- Tabela Verdade
- Portas e Redes Lógicas
- Algebra Booleana
- Síntese Usando AND, OR e NOT
 - Soma-de-Produto
 - Produto-de-Soma
- Exemplos
- Introdução a Ferramentas de CAD

Variáveis e Funções

Analogia com chaves controladas

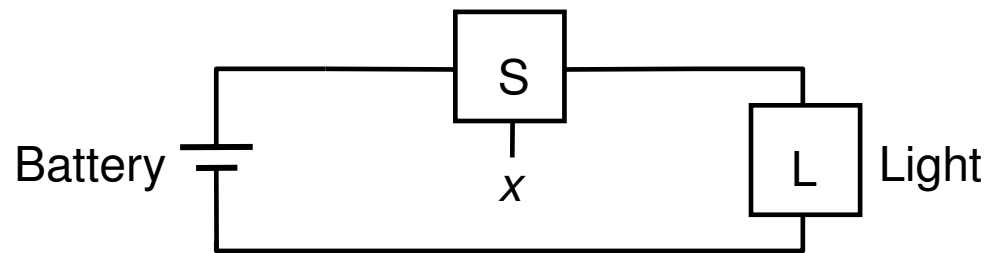


Two states of a switch



Symbol for a switch

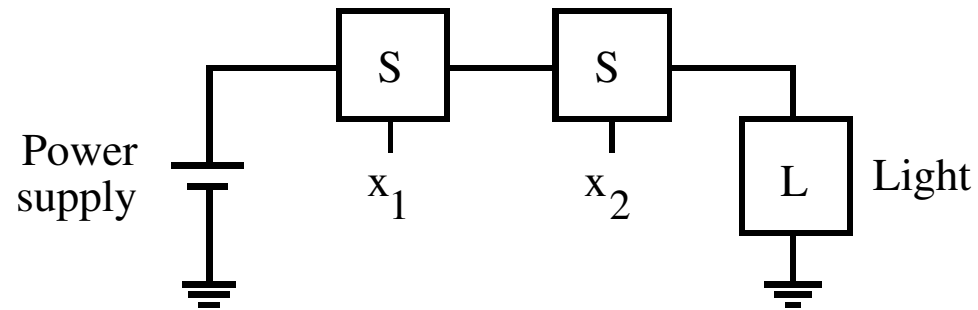
Variáveis e Funções



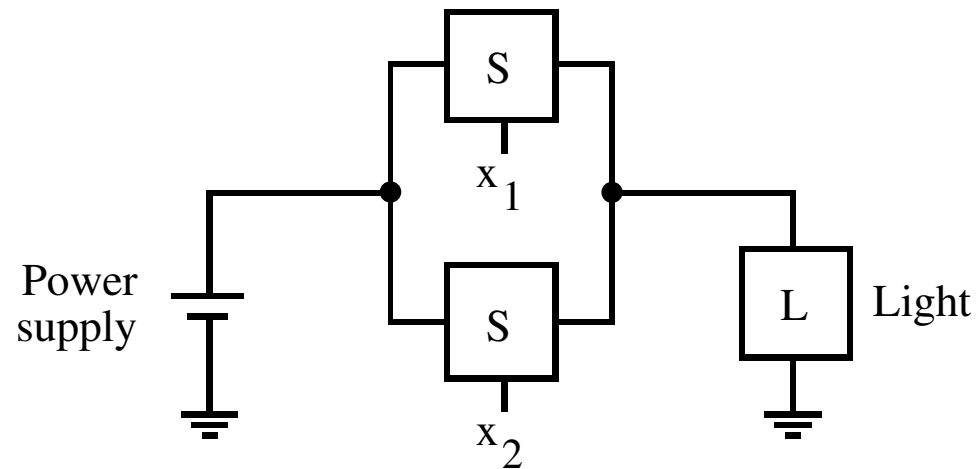
A light controlled by a switch

Variáveis e Funções - Funções Simples

AND e OR

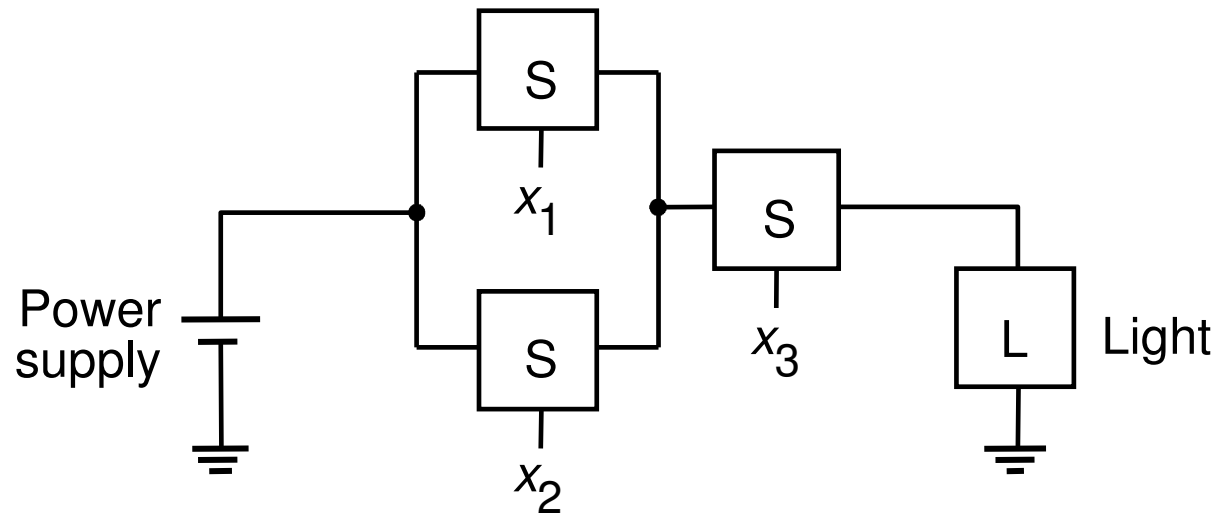


The logical AND function



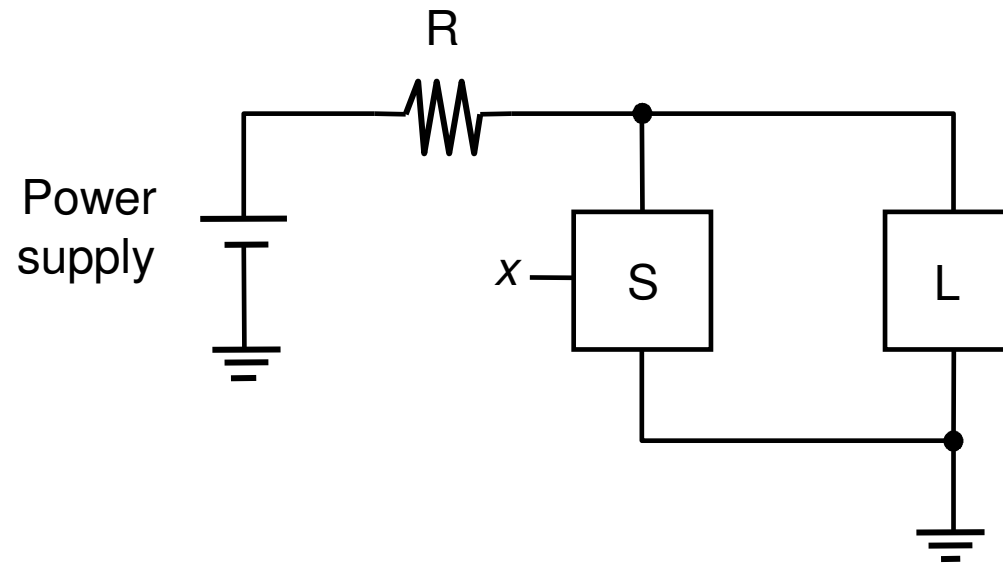
The logical OR function

Variáveis e Funções - Funções Complexas



A series-parallel connection

Variáveis e Funções NOT



An inverting circuit

Tabela Verdade

x_1	x_2	$x_1 \cdot x_2$	$x_1 + x_2$
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	1

AND

OR

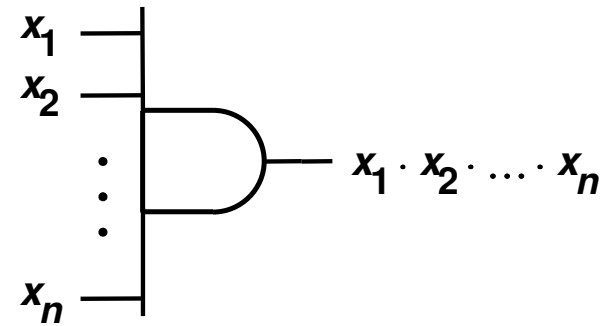
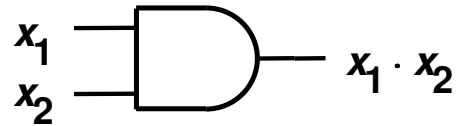
A truth table for AND and OR

Tabela Verdade

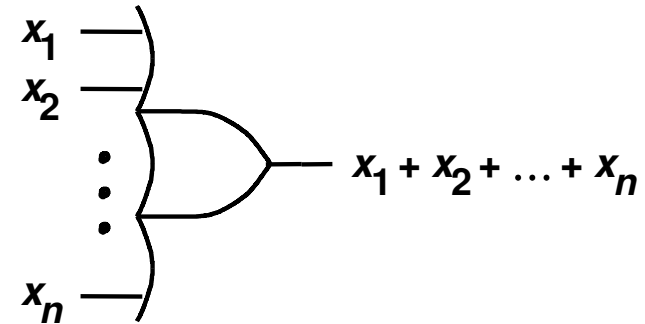
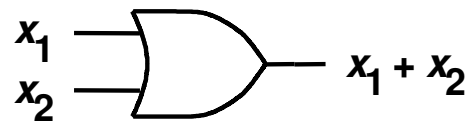
x_1	x_2	x_3	$x_1 \cdot x_2 \cdot x_3$	$x_1 + x_2 + x_3$
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	0	1
1	0	0	0	1
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Three-input AND and OR

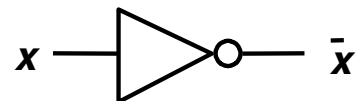
Portas Lógicas (ou gates)



AND gates

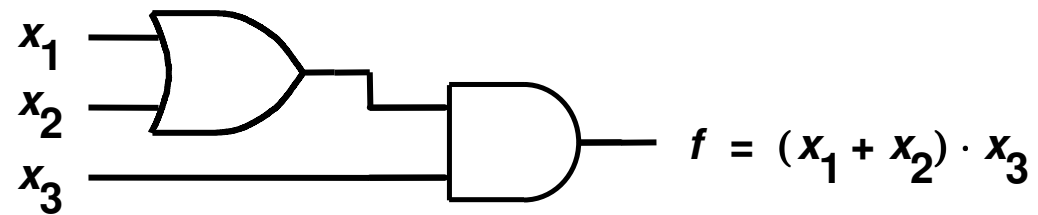


OR gates



NOT gate

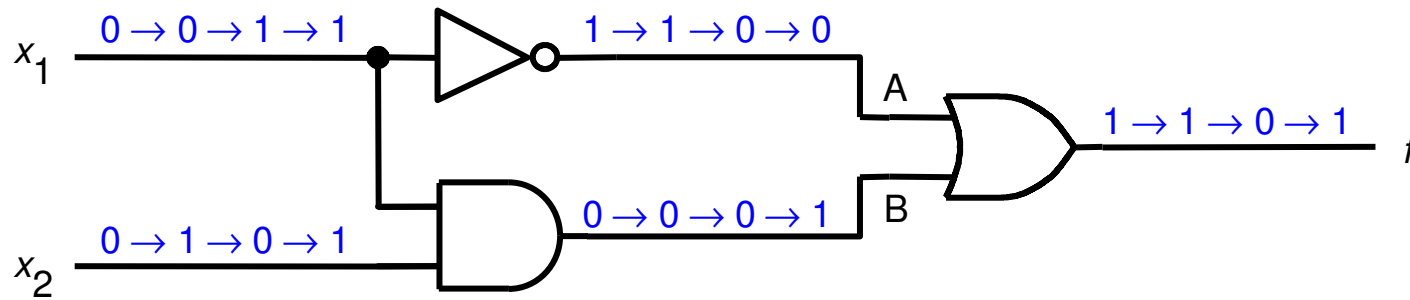
Rede Lógica



An OR-AND function

Rede de portas
Circuito lógico

Análise de uma Rede Lógica

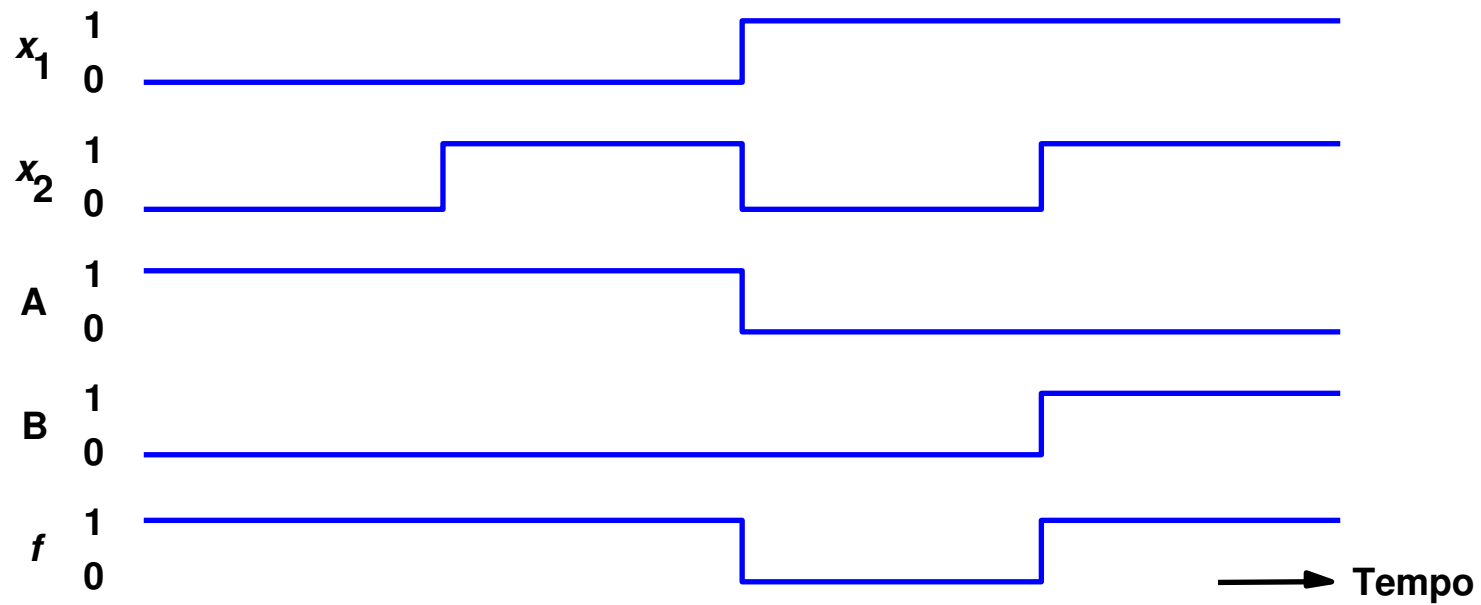


Network that implements $f = \bar{x}_1 + x_1 \cdot x_2$

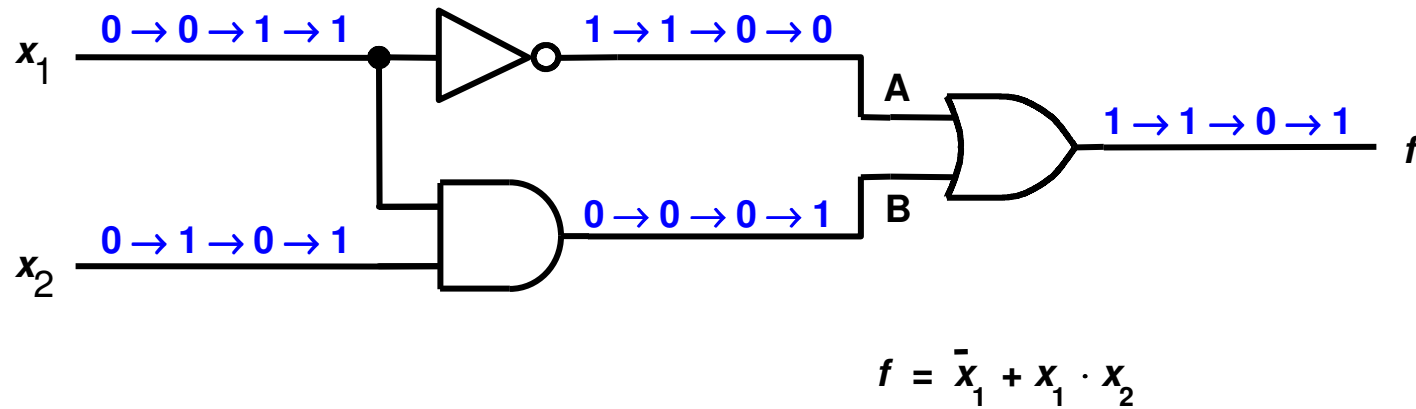
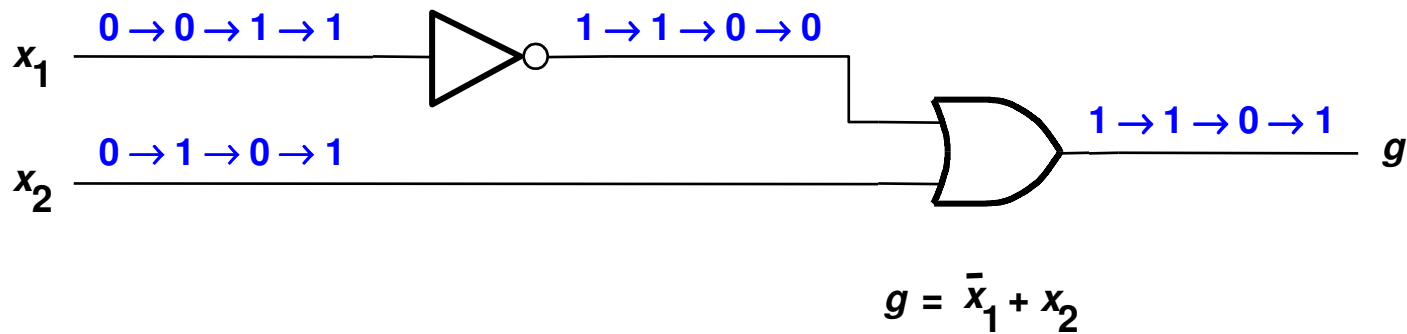
x_1	x_2	$f(x_1, x_2)$
0	0	1
0	1	1
1	0	0
1	1	1

Truth table for f

Diagrama de Tempo



Redes Lógicas Funcionalmente Equivalentes



Algebra Booleana

Axiomas, Teoremas e Propriedades

Demonstração: Indução Perfeita; Manipulação Algébrica e Gráfica (Diagrama de Venn)

Prova do teorema de DeMorgan

$$\overline{x \cdot y} = \bar{x} + \bar{y}$$

Indução Perfeita

x	y	$x \cdot y$	$\overline{x \cdot y}$	\bar{x}	\bar{y}	$\bar{x} + \bar{y}$
0	0	0	1	1	1	1
0	1	0	1	1	0	1
1	0	0	1	0	1	1
1	1	1	0	0	0	0

$\underbrace{\hspace{10em}}_{\text{LHS}} \qquad \underbrace{\hspace{10em}}_{\text{RHS}}$

Diagrama de Venn

Precedência dos Operadores

1. Not
2. AND
3. OR

Síntese Usando Portas And, OR e Not

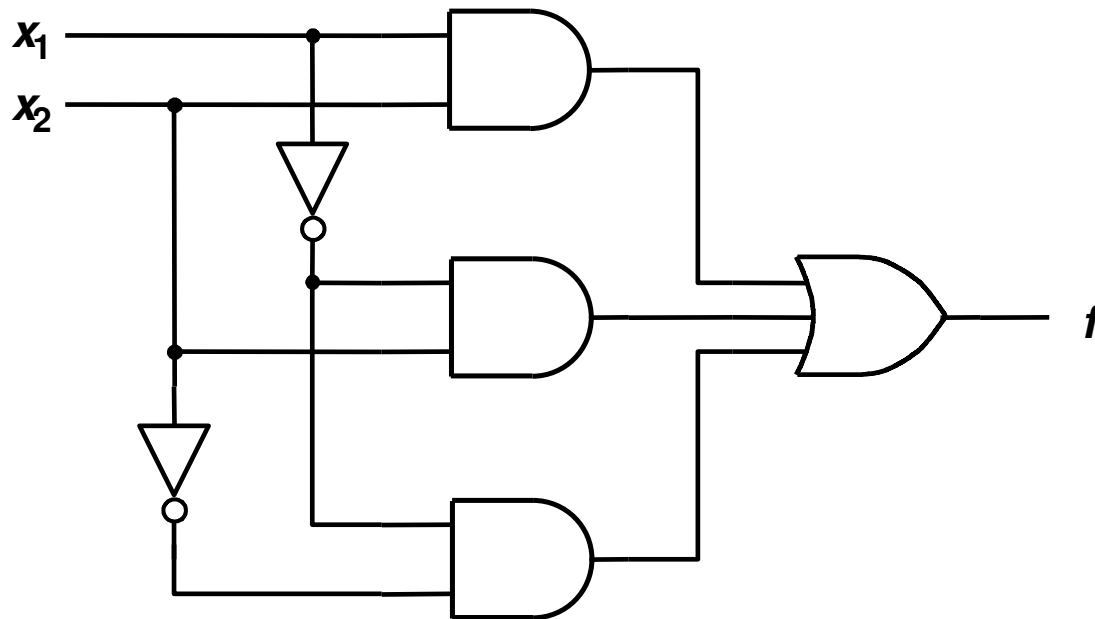
x_1	x_2	$f(x_1, x_2)$
0	0	1
0	1	1
1	0	0
1	1	1

A function to be synthesized

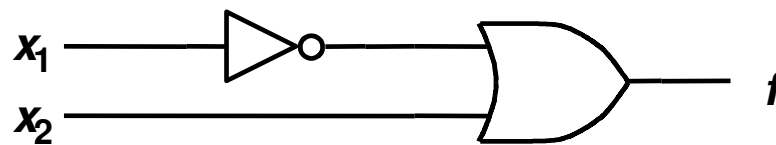
1. Implemente cada 1 da tabela verdade com um AND e Nots
2. Faça um OR dos circuitos criados em 1.
3. Opcional: simplifique a função

Soma de Produtos

Síntese Usando Portas And, OR e Not



Canonical sum-of-products



Minimal-cost realization

Síntese Usando Portas And, OR e Not

x_1	x_2	$f(x_1, x_2)$
0	0	1
0	1	1
1	0	0
1	1	1

A function to be synthesized

1. Implemente cada 0 da tabela verdade com um OR e Nots
2. Faça um AND dos circuitos criados em 1.
3. Opcional: simplifique a função

Produto de Somas

Soma-de-Produtos e Produtos-de-Soma (SoP e PoS)

- **Mintermos e Maxtermos**

- Mintermo: Implementa um "1" da tabela verdade
- Maxtermo: Implementa um "0" da tabela verdade

- **Forma canônica:**

- de Mintermos: a expressão que representa a função possui todos os mintermos (não simplificada)
- de Maxtermos: a expressão que representa a função possui todos os maxtermos (não simplificada)

Numeração de Mintermos e Maxtermos

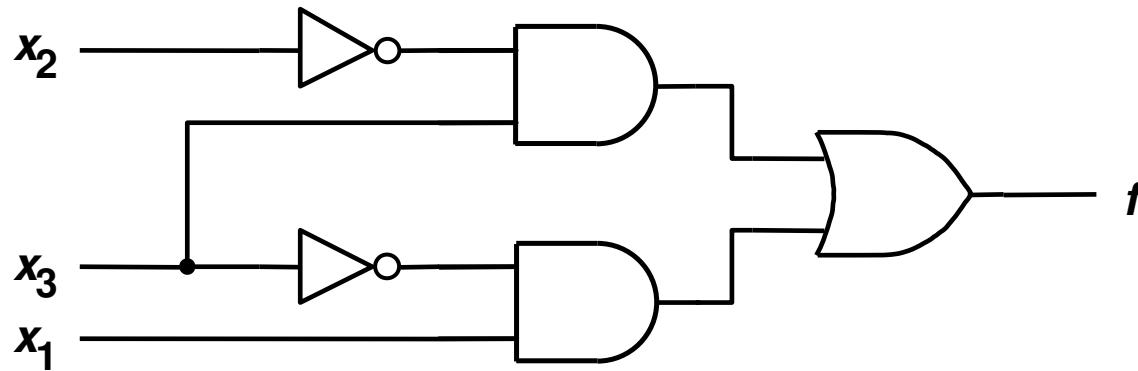
Row number	x_1	x_2	x_3	Minterm	Maxterm
0	0	0	0	$m_0 = \bar{x}_1\bar{x}_2\bar{x}_3$	$M_0 = x_1 + x_2 + x_3$
1	0	0	1	$m_1 = \bar{x}_1\bar{x}_2x_3$	$M_1 = x_1 + x_2 + \bar{x}_3$
2	0	1	0	$m_2 = \bar{x}_1x_2\bar{x}_3$	$M_2 = x_1 + \bar{x}_2 + x_3$
3	0	1	1	$m_3 = \bar{x}_1x_2x_3$	$M_3 = x_1 + \bar{x}_2 + \bar{x}_3$
4	1	0	0	$m_4 = x_1\bar{x}_2\bar{x}_3$	$M_4 = \bar{x}_1 + x_2 + x_3$
5	1	0	1	$m_5 = x_1\bar{x}_2x_3$	$M_5 = \bar{x}_1 + x_2 + \bar{x}_3$
6	1	1	0	$m_6 = x_1x_2\bar{x}_3$	$M_6 = \bar{x}_1 + \bar{x}_2 + x_3$
7	1	1	1	$m_7 = x_1x_2x_3$	$M_7 = \bar{x}_1 + \bar{x}_2 + \bar{x}_3$

Three-variable Minterms and Maxterms

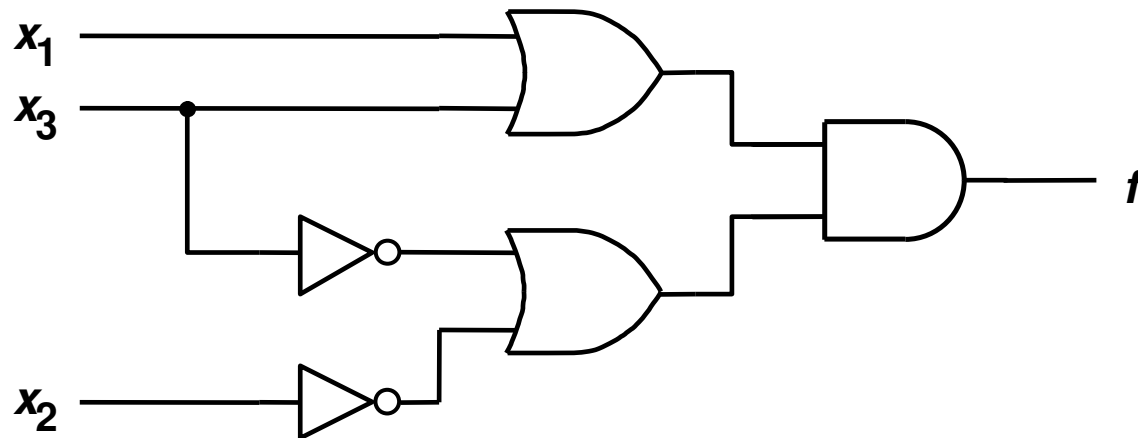
Exemplo

Row number	x_1	x_2	x_3	$f(x_1, x_2, x_3)$
0	0	0	0	0
1	0	0	1	1
2	0	1	0	0
3	0	1	1	0
4	1	0	0	1
5	1	0	1	1
6	1	1	0	1
7	1	1	1	0

A three-variable function



A minimal sum-of-products realization



A minimal product-of-sums realization

Two realizations of a function

Exemplo

Assuma que temos um salão com três portas e próximo a cada uma delas temos uma chave para acender/apagar a luz. Projete o circuito de controle que acende/apaga a luz do salão.

Solução:

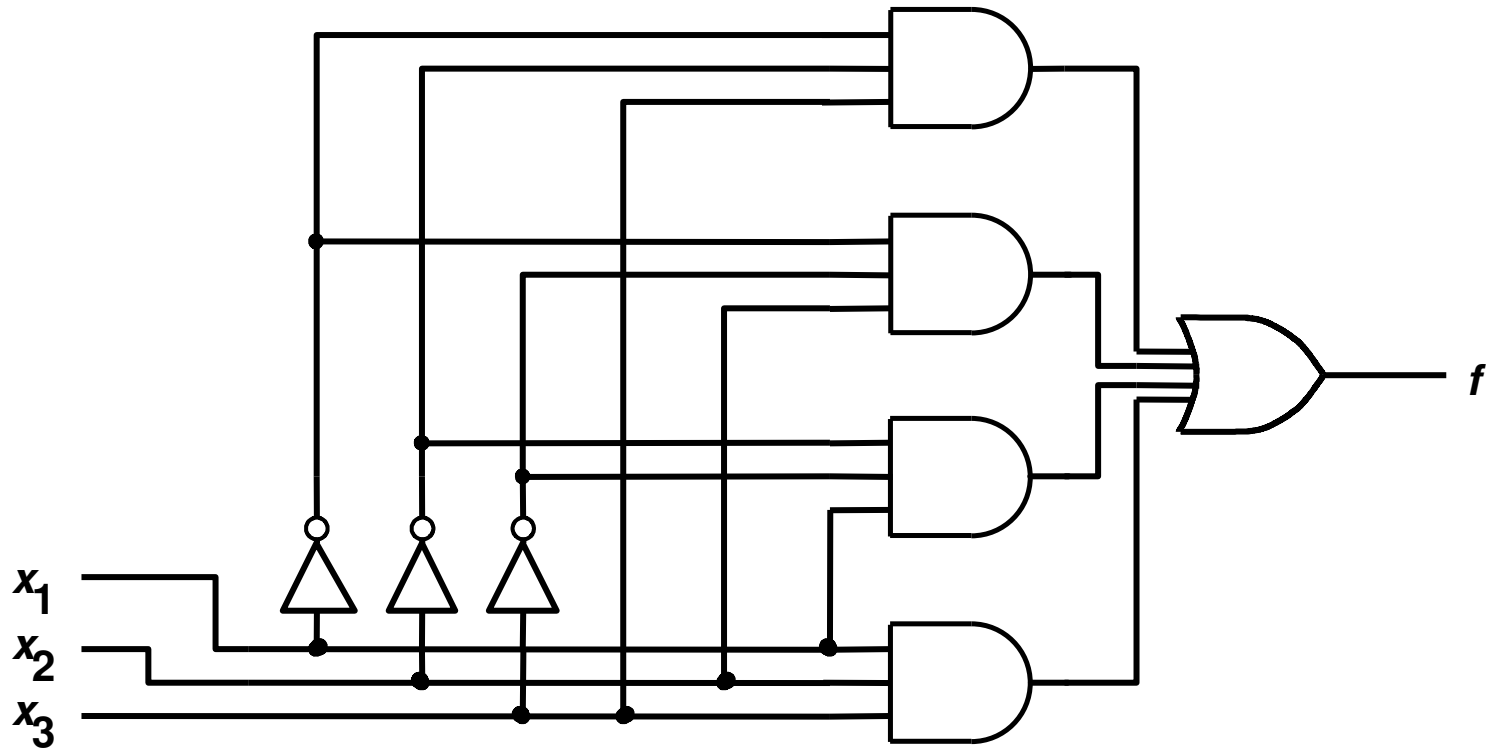
- x_1 ; x_2 e x_3 variáveis que indicam o estado das chaves 1, 2 e 3 (1 -> fechada; 0 -> aberta)
- Monte a tabela verdade que representa a função desejada, ié: ao acionarmos uma chave (mudar seu estado) se a luz está apagada ela acende e vice-versa
- Sintetize o circuito de controle

Exemplo: tabela verdade

x_1	x_2	x_3	f
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

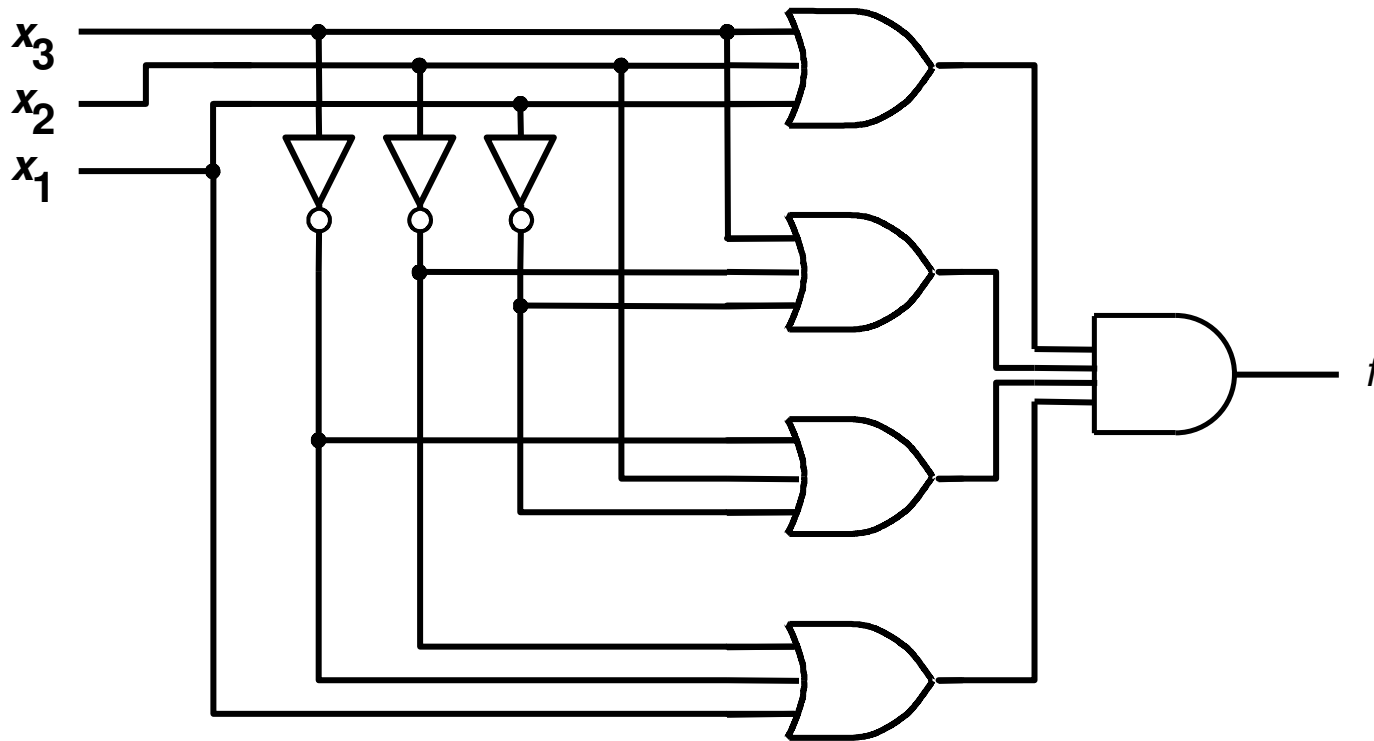
Truth table for a three-way light controller

Exemplo



SOP implementation of the three-way light controller

Exemplo

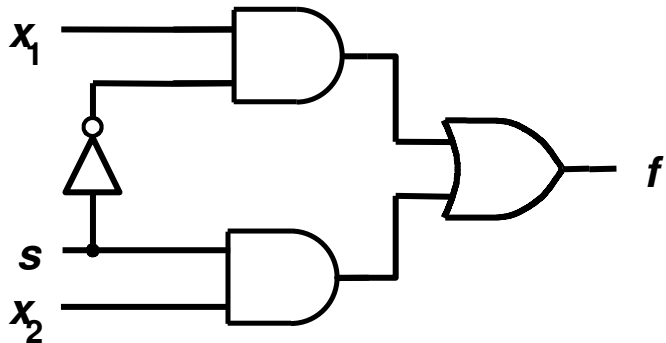


POS implementation of the three-way light controller

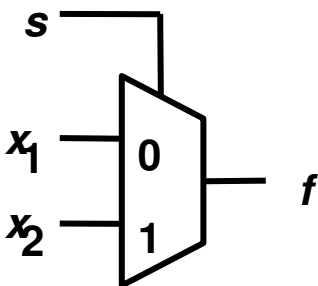
Multiplexador

s	$x_1 x_2$	$f(s, x_1, x_2)$
0	00	0
0	01	0
0	10	1
0	11	1
1	00	0
1	01	1
1	10	0
1	11	1

Truth table



Circuit



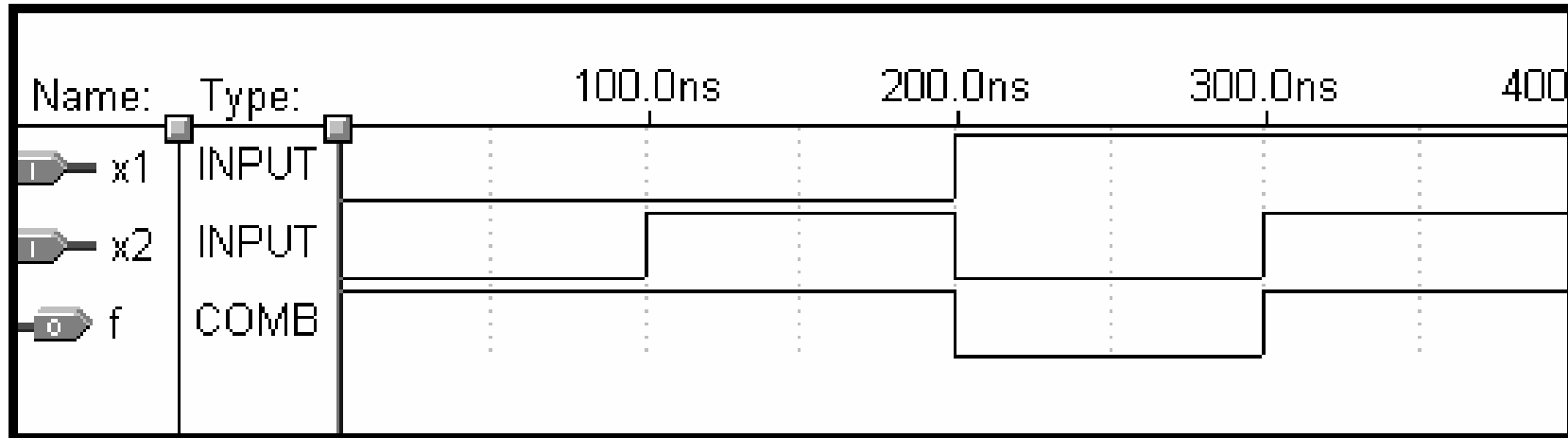
Graphical symbol

s	$f(s, x_1, x_2)$
0	x_1
1	x_2

More compact truth-table representation

Ferramenta de CAD

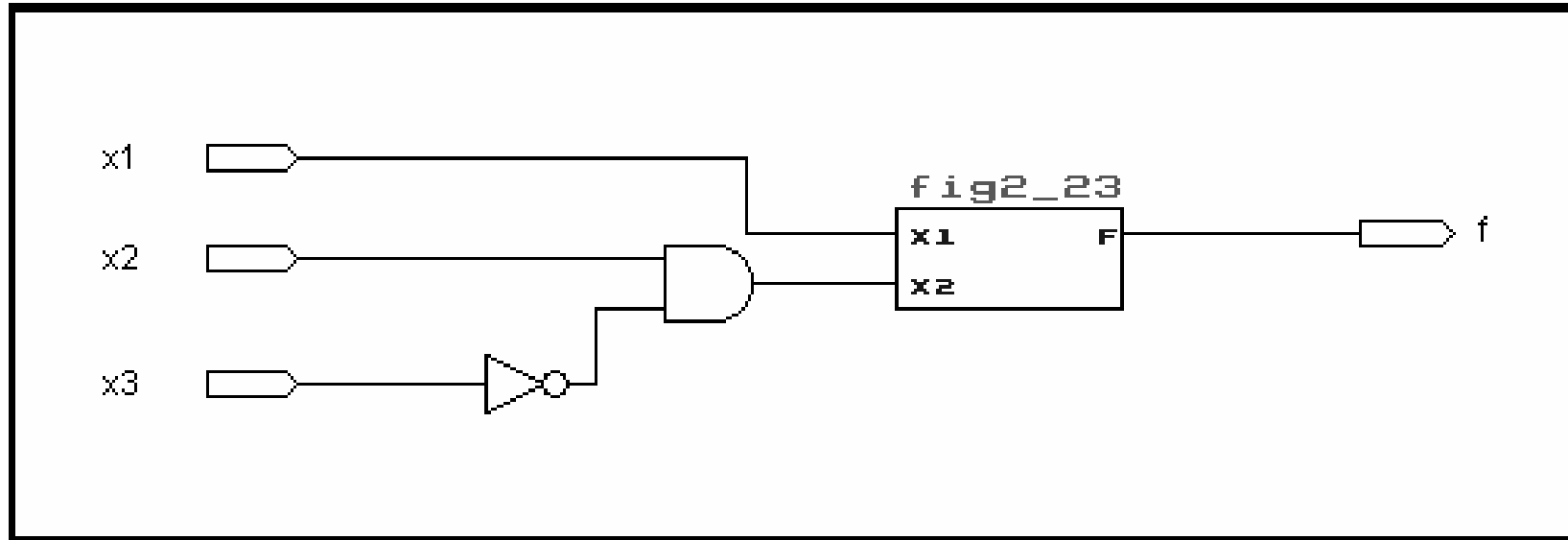
Expecificação da função por Forma de Onda



Screen capture of the Waveform Editor

Ferramenta de CAD

Expecificação da função por edição gráfica



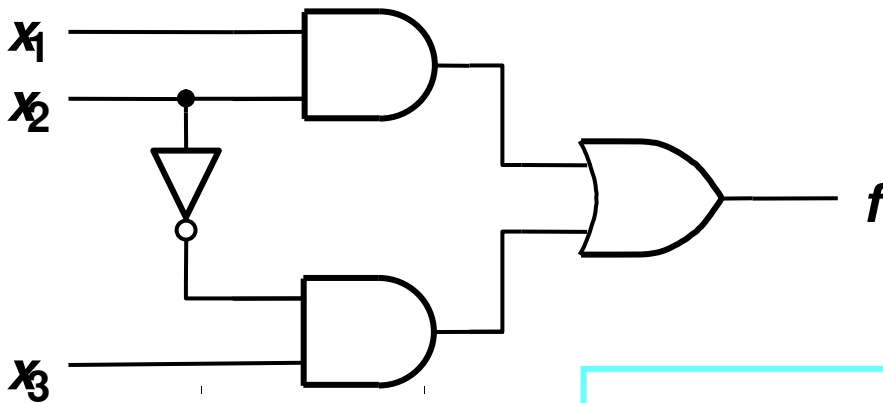
Screen capture of the Graphic Editor

VHDL

- **Very High Speed Integrated Circuit Hardware Description Language**
 - V(VHSIC)HDL
 - Programa do Departamento de Defesa dos USA - 1980
 - 1983 - Inicio do desenvolvimento de VHDL (IBM, Texas Instruments e Intermetrics)
 - 1987 - VHDL adotado como padrão IEEE (IEEE-1076)
 - 1993 - Revisão (IEEE-1164)
 -

Ferramenta de CAD

Expecificação da função usando HDL VHDL



```
ENTITY example1 IS
    PORT ( x1, x2, x3 : IN BIT ;
          f           : OUT BIT ) ;
END example1 ;

ARCHITECTURE LogicFunc OF example1 IS
BEGIN
    f <= (x1 AND x2) OR (NOT x2 AND x3) ;
END LogicFunc ;
```

A simple logic function and corresponding VHDL code

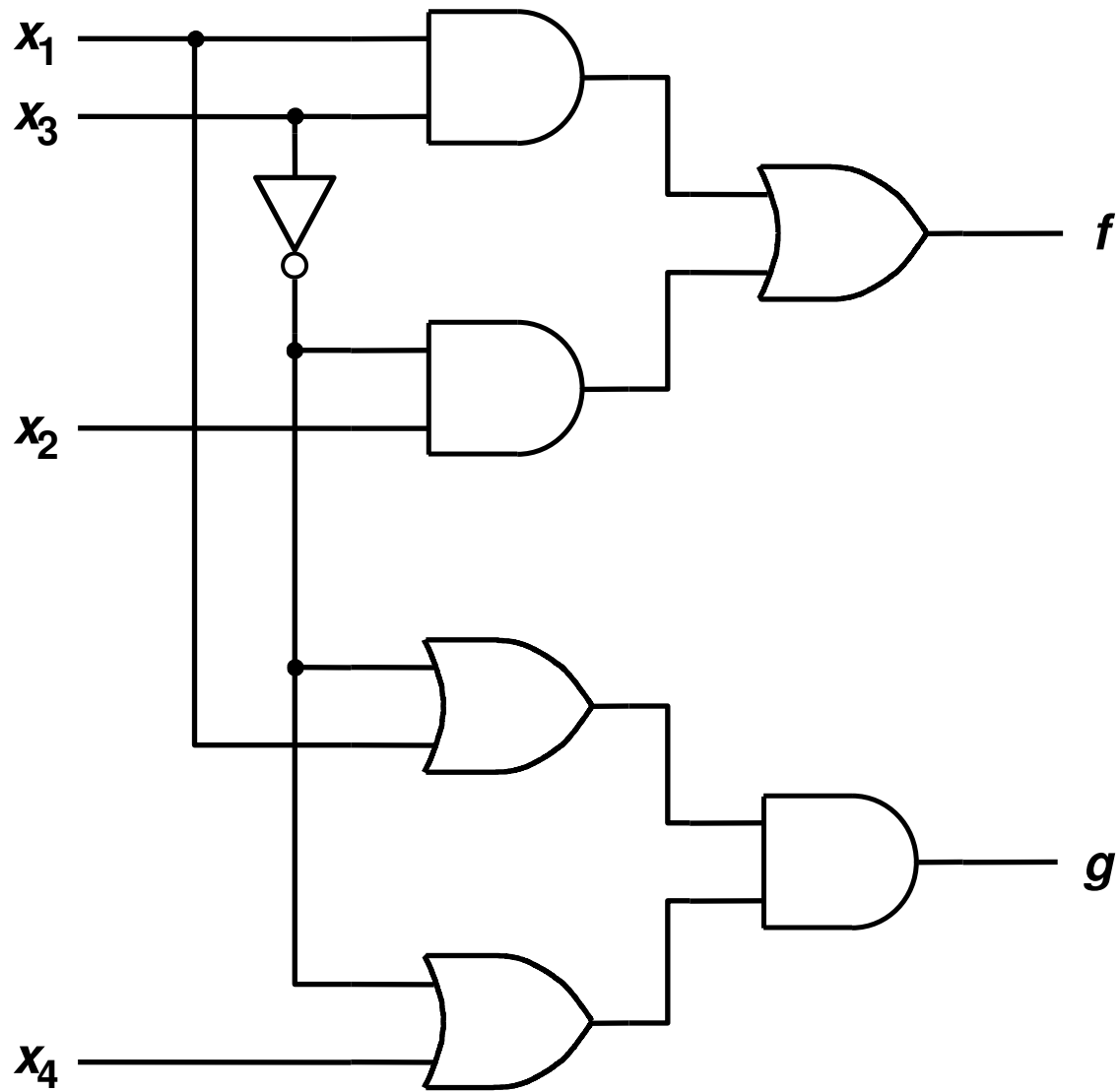
Ferramenta de CAD

Expecificação da função usando HDL VHDL

```
ENTITY example2 IS
    PORT ( x1, x2, x3, x4 : IN    BIT ;
           f, g           : OUT  BIT ) ;
END example2 ;

ARCHITECTURE LogicFunc OF example2 IS
BEGIN
    f <= (x1 AND x3) OR (NOT x3 AND x2) ;
    g <= (NOT x3 OR x1) AND (NOT x3 OR x4) ;
END LogicFunc ;
```

VHDL code for a four-input function



Logic circuit for four-input function