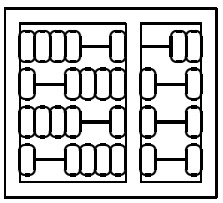

MC542
Organização de Computadores: Teoria e Prática

Exerc. 1

IC – UNICAMP

1 Entrega

26/11/2004

2 Objetivo

O objetivo deste exercício e dos próximos é projetar e simular alguns componentes básicos do processador MIPS usando VHDL. Neste segundo exercício iremos projetar e simular o banco de registradores (register file) descrito no capítulo 5 do livro texto de Patterson e Hennessy.

O projeto será desenvolvido usando-se a ferramenta Quartus da Altera instalada nos laboratórios 1 e 2 do IC-3. Alternativamente você pode fazer download e instalar o Quartus em uma máquina pessoal (para acesso à página do Programa Educacional da Altera consulte a página do curso).

3 Descrição do Projeto

Implemente uma versão do banco de registrador apresentado no capítulo 5 do livro texto de Patterson e Hennessy, lembre-se que o registrador 0 (*zero*) sempre tem como conteúdo a constante 0. Utilize como entidade base a entidade dada abaixo.

```
Entity RegFile is
 generic(nbits : positive := 32);
 port(ReadReg1  : in std_logic_vector(4 downto 0);
      ReadReg2  : in std_logic_vector(4 downto 0);
      WriteReg  : in std_logic_vector(4 downto 0);
      ReadData  : in std_logic_vector(nbits - 1 downto 0);
      RegWrite  : in bit;
      ReadData1 : out std_logic_vector(nbits - 1 downto 0);
      ReadData2 : out std_logic_vector(nbits - 1 downto 0));
End RegFile;
```

Descreva o seu projeto, com nome RegFile, em um diretório cujo nome é o seu RA. Realize simulações comportamental e com *timing* e apresente os resultados em um relatório a ser entregue impresso em papel (formato carta). Além do relatório compacte o diretório do seu projeto e envie por e-mail para ducatte@ic.unicamp.br com *subject*: mc542: RegFile.