

AnySP: Anytime Anywhere Anyway Signal Processing

(título do artigo)

Citação bibliográfica do artigo

Autores: Mark Woh, Sangwon Seo, Scott Mahlke, Trevor Mudge, Chaitali Chakrabarti e Krisztián Flautner.
Publicado por IEEE Computer Society (IEEE MICRO) – Janeiro/Fevereiro 2010 – páginas 81-91
Conferência: ISCA'09

Autor do resumo: Luciana Bulgarelli Carvalho – RA:981561

De acordo com o artigo, as soluções utilizadas na terceira geração (3G) de tecnologia wireless não são eficientes o suficiente para serem adaptadas para a tecnologia 4G. Por esta razão, o artigo propõe uma arquitetura de alta performance para o processamento de sinais móveis: a arquitetura AnySP. Esta arquitetura é definida a partir das características dos principais algoritmos usados na comunicação 4G wireless e na decodificação de vídeo de alta definição.

A partir da análise destes algoritmos, as seguintes características foram incorporadas ao projeto da arquitetura AnySP:

- Utilização de SIMD (single instruction, multiple data) de largura 8 e a possibilidade de configurar um grupo de SIMD de largura 8 para “criar” um SIMD de largura 16, 32 ou 64.
- Paralelismo a nível de thread (thread-level parallelism – TLP) para a execução paralela de SIMDs de largura 8, 16 ou 32.
- Redução do número de acessos ao register file principal (16 registradores) de um SIMD com o objetivo de diminuir o consumo de potência devido a estes acessos. A arquitetura permite ao programador utilizar, através de instruções específicas, registradores internos (4 registradores), que não são gravados no register file principal, ao invés dos registradores do register file principal.

Para facilitar a definição da arquitetura AnySP (figura 2 do artigo) considere uma “linha” da arquitetura como um SIMD de largura 8. A arquitetura AnySP é composta por oito destas “linhas”. Cada “linha” tem uma unidade funcional flexível (flexible functional unit – FFU) de largura 8 que é conectada ao seu register file (16 registradores do register file principal e 4 registradores internos). Cada uma destas unidades funcionais flexíveis de largura 8 é composta por quatro unidades funcionais flexíveis de largura 2 (figura 3 do artigo) e estas, por sua vez, contém um multiplicador, uma unidade de aritmética lógica (ALU) e um somador.

O bloco swizzle network executa as operações configuradas através de uma SRAM. Estas operações podem ser modificada após a fabricação do chip. Um exemplo de operação que pode ser realizada por este bloco é a permutação de dados.

O bloco multiple output adder tree realiza somas parciais de 4, 8, 16, 32 ou 64 elementos, faz a redução dos elementos a um valor escalar e armazena o resultado em um buffer temporário para evitar acessos de leitura e escrita ao register file principal.

A memória local da arquitetura AnySP contém 16 bancos e cada banco armazena oito “linhas”. Cada grupo de oito “linhas” tem sua unidade de geração de endereço (address generation unit – AGU) dedicada.

O artigo garante que o requisito de 1.000 MOPS/mW é alcançado se a arquitetura AnySP for sintetizada com uma tecnologia de 45 nm. Entretanto, o artigo apresenta apenas os resultados quando a arquitetura é sintetizada com a tecnologia TSMC – 90 nm, e neste caso o requisito de 1.000 MOPS/mW não é alcançado.

Uma constatação importante do artigo é que as unidades funcionais flexíveis são as responsáveis pela maior parcela do consumo de potência da arquitetura AnySP.