

MO401 - Trabalho 1 - Resumo de artigo

Parallel subdivision surface rendering and animation on the Cell BE processor

R. Grottesi, S. Morigi, M. Ruggiero, and L. Benini; DATE 2010

Resumido por **Conrado Silva Miranda** (RA 070498)

O artigo descreve uma combinação de arquitetura com algoritmo para gerar rapidamente gráficos agradáveis à vista, utilizando a técnica conhecida como subdivision surface e o processador Cell BE. Apesar da metodologia ser descrita apenas para um processador específico, ela pode ser utilizada em outros processadores ou placas de vídeo.

O Cell BE é uma arquitetura com um processador PPC de 64-bits (PPE) e um número variável de co-processadores (SPEs), conectados por um barramento (EIB). Cada SPE possui unidade de processamento (SPU) e controlador de memória (MFC). A SPU possui 128 registradores de 128 bits, instruções SIMD de 4 vias e memória de 256 Kb (LS). A MFC inclui controlador DMA, unidade de gerenciamento de memória, de interface com o EIB e de sincronização entre o PPE e as SPUs.

Subdivision surface baseia-se na criação de superfícies auxiliares que substituem as originais de um objeto, tornando seus contornos mais suaves, podendo ser aplicada iterativamente ou através de uma avaliação exata. Tal melhoria necessita de um processamento paralelo intenso, justificando o uso do processador Cell, com os passos do pipeline permanecendo no mesmo core, não sofrendo limitações de comunicação ou outros dispositivos e aumentando a performance.

O pipeline de renderização recebe uma cena 3D em primitivas geométricas e produz sua projeção 2D. A implementação proposta realiza os passos do pipeline em paralelo em grupos diferentes de dados. Para aumentar a performance, o PPE realiza um pré-processamento da superfície, transformando uma face em uma estrutura, chamada patch, contendo as informações necessárias para a renderização daquela face. O patch é salvo em uma patch stream que, juntamente com os vértices, compõem os dados que serão transmitidos para os SPEs.

Em seguida, porções contínuas da patch stream são atribuídas aos SPEs, que iniciam a transferência dos dados. Os vértices e os patches são guardados na LS, sendo o máximo possível de 4 páginas de vértices. Caso algum vértice seja requerido e não esteja na LS, ocorre uma page fault e a página necessária é transferida. A construção dos patches e a organização dos vértices é feita de forma a minimizar esse gasto. Além disso, como cada patch pode referenciar até 3 páginas de vértices e a LS pode receber 4, enquanto um patch é processado, a página necessária para o próximo é carregada.

Após carregar as páginas necessárias, o pipeline original é executado até a rasterização, quando uma sincronização entre elas é necessária para permitir visualização correta da imagem. Quando todas as SPEs chegam no ponto, as scanlines, linhas da imagem utilizadas para decidir quais vértices não serão utilizados, são distribuídas igualmente entre as SPEs. Novamente, cada SPE processa uma quantidade contínua de scanlines, reduzindo a quantidade de transferências necessárias. O processamento continua e a imagem é salva na memória principal no fim. Para aumentar ainda mais a performance, enquanto as SPEs processam uma cena, a PPE começa a pré-processar a próxima cena.

Para testar a imagem gerada, utilizou-se um programa iterativo. Os processadores ficaram parados durante apenas 2%, mostrando que o balanceamento de carga foi bem realizado. Com um SPE, atingiu-se 17 FPS, chegando a mais de 60 FPS com seis. O FPS caiu com a complexidade da superfície, mas suportando ainda grande complexidade, e a avaliação exata do subsurface division apresentou melhor resultado do que o método recursivo. Com isso, observa-se o pipeline proposto e o processador utilizado são capazes de processar imagens de complexidade razoável sozinhos.