

PowerPC – A História de Produção de Chips da IBM

Filipe de Oliveira Costa
Instituto de Computação
Universidade Estadual de Campinas
Campinas, Brasil
filipe.costa@students.ic.unicamp.br

Ivelize Rocha Bernardo
Instituto de Computação
Universidade Estadual de Campinas
Campinas, Brasil
ivelize@lis.ic.unicamp.br

RESUMO

POWERPC (Performance Optimization With Enhanced RISC – Performance Computing) - também chamado como PPC - foi criado em 1991 pela aliança Apple, Motorola e IBM (AIM). Trata-se de um processador de arquitetura RISC (Reduced Instruction Set Computer) originalmente destinado a computadores pessoais (Personal Computer). Este processador se tornou muito popular por ser utilizado nas linhas Apple Macintosh durante 1994 a 2006, atualmente ele também pode ser encontrado nos consoles de vídeo games e aplicações embarcadas. Assim, este artigo apresenta a evolução dos processadores POWERC.

Palavras chave

PowerPC, RISC, processador.

1. INTRODUÇÃO

A história do PPC começa com o processador 801 da IBM por volta de 1970. Após o mal desempenho desse projeto, a IBM iniciou o Projeto América para construir o processador mais rápido do mercado, o resultado desse último projeto foi a arquitetura POWER com o System/6000 RISC em 1990[1].

O microprocessador POWER foi um dos primeiros superescalares com implementação RISC, a IBM percebeu que este projeto poderia se tornar muito utilizado por toda a indústria, assim ela se aproximou da Apple com o objetivo de desenvolver uma família de microprocessadores single-chip baseado na arquitetura POWER. Logo após, a Motorola se une as demais, dada à grande parceira que ela tinha com a Apple e ao conhecimento de produzir grandes quantidades de microprocessadores, deste modo se forma a aliança AIM (Apple – IBM – Motorola)[2].

Em 1991, em meio ao crescente domínio da Microsoft (Windows) e da Intel (processadores 80486 e 80386). O chip PowerPC foi lançado com o objetivo de combater esse crescente domínio da computação pessoal.

Quando os primeiros processadores PowerPC chegaram ao mercado, eles foram recebidos com muito entusiasmo, além da Apple, IBM e a Motorola, a Microsoft lançou o Windows NT 3.51 que foi utilizado em servidores da Motorola PowerPC, a SUN desenvolveu uma versão de seu sistema operacional Solaris

para PowerPC e a IBM também lançou uma nova versão do AIX Unix. Em meados dos anos 1990, os processadores PowerPC alcançaram ótimos resultados nos testes realizados em benchmark que combinaram ou ultrapassaram os mais rápidos processadores x86.

No entanto, a falta de aplicativos desenvolvidos para PowerPC fez com que esse entusiasmo passasse rápido, exceto para a Macintosh (por persistência da Apple), todos os outros projetos foram descontinuados.

No final da década de 90, a aliança AIM começou a se desestruturar. Em 2004, a Motorola saiu do negócio de fabricação de chip e criou uma nova empresa independente chamada Freescale Semiconductor que ficaria responsável por este segmento. Na mesma época, a IBM saiu do mercado de processadores embarcados com a venda de sua linha de produtos PowerPC para Applied Micro Circuits Corporation (AMCC) e focou seus projetos de chip PowerPC para fabricantes de jogos, como Nintendo, Wii, PlayStation 3 e Xbox 360. Em 2005, a Apple anunciou que deixaria de usar processadores PowerPC em seus computadores Apple Macintosh, favorecendo a Intel, um dos motivos citados foi o desempenho do chip que por causa da geração de calor e consumo de energia se tornou incapaz de mover o 970 (PowerPC G5 processador) para a faixa de 3 GHz[11].

A especificação PowerPC é agora tratada pelo Power.org (órgão gerenciado pelo IEEE) onde IBM, Freescale e AMCC são membros. Processadores PowerPC Cell são comercializados em conjunto como a arquitetura Power. Power.org lançou um ISA unificada, que combina potência e PowerPC ISA na Power ISA v.2.03 nova especificação e uma plataforma de referência para novos servidores chamados PAPR (*Power Architecture Platform Reference*).

Desse modo, o restante deste artigo está organizado do seguinte modo: a sessão 2 apresenta a evolução histórica dos processadores PowerPC, a sessão 3 apresenta as características gerais dos processadores, a sessão 4 apresenta a arquitetura desde seu modelo conceitual até a especificação do PowerPC 604, a sessão 5 finaliza com a conclusão do artigo.

2. EVOLUÇÃO HISTÓRICA

A seguir, será apresentada a evolução histórica dos processadores PowerPC[8].

• 1994

PowerPC 601: É o primeiro de 32 bits da linha de PowerPCs-RISC. O 601 fornecia altos níveis de performance para computadores desktop, estações de trabalho e sistemas de computadores com multiprocessamento simétrico. Seu projeto superescalar permitia executar até 3 instruções por ciclo de clock. Executava em paralelo instruções emitidas

para múltiplas unidades, e podia completar fora de ordem enquanto preserva programas corretamente. O objetivo da AIM foi lançá-lo no mercado, o mais rápido possível, a arquitetura do PowerPc. O 601 é um processador de 32 bits. A Figura 1 apresenta uma foto do processador PowerPC 601.

PowerPC 603: Voltado para microcomputadores e computadores portáteis, também é um processador de 32 bits, com desempenho comparável ao 601, mas de menor custo e implementação mais eficiente.

- **1995**

PowerPC 604: Voltado para microcomputadores e máquinas servidoras de menor desempenho, é também um processador de 32 bits, mas utiliza muito mais as técnicas avançadas de projeto de processadores superescalares para obter maior desempenho.



Figura 1: Processador PowerPC 601 [11]

Tem um design superescalar capaz de executar 4 instruções por ciclo de clock para seis unidades de execução independentes, incluindo: duas unidades inteiras de ciclos simples, uma unidade inteira de ciclos múltiplos, uma unidade de processamento ramificada, uma unidade de armazenamento/busca e uma unidade de ponto flutuante. O microprocessador PowerPC 604 usa prognóstico de ramificação dinâmica para melhorar a precisão do monitoramento de instruções. Isso combinado com a incrível habilidade de executar através de duas ramificações indefinidas, permite múltiplas execuções com alto nível de eficiência.

PowerPC 620: IBM e Motorola apresentam e introduzem o protótipo do processador PowerPC 620, operando em 133 MHz. Voltado para máquinas servidoras de alto desempenho foi o primeiro membro da família PowerPC a implementar uma arquitetura completa de 64 bits, com registradores e barramento de dados de 64 bits.

- **1997**

PowerPC G3: PowerPC 740/750 (também conhecido como processador G3) é a terceira geração de processadores da linha PowerPC, porém, sua arquitetura já é totalmente RISC. Esse processador integra dois níveis de memória cache na pastilha do processador principal, o que resulta em uma melhora de desempenho significativa em relação a máquinas com memória cache fora da pastilha. Era encontrado nos Apple MacBooks da época.

- **1999**

PowerPC G4: Representa a quarta geração da arquitetura Power. Estes processadores fornecem ainda maior paralelismo e velocidade interna de pastilha do processador. Podiam ser encontrados em computadores Macintosh, como o PowerBook G4 e laptops iBook G4.

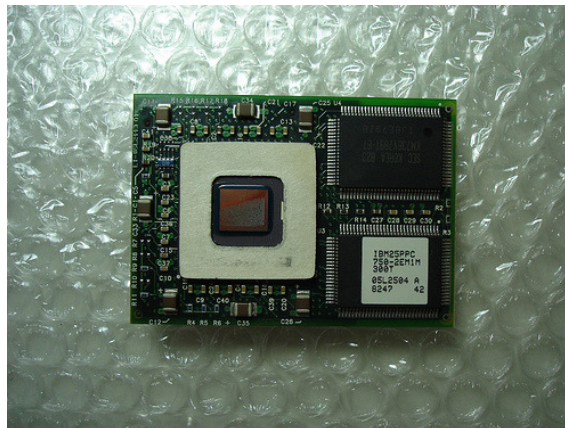


Figura 2: Processador PowerPC G3 300MHz [11]

- **2003**

PowerPC G5: O processador G5 representa o maior ganho em potência na história da família PowerPC. O G5 de 64 bits alcança 2GHz e pode usar até 8GB de memória principal, tornando algumas operações 40 vezes mais rápidas, em relação aos processadores 32 bits. Isto possibilitava o armazenamento de gráficos 3D, dados científicos, arquivos de imagens detalhadas em 2D e outras funções exigentes, cuja manipulação é mais rápida devido ao acesso direto à memória principal.

- **2007**

XENON: Os processadores XENON possuem um conjunto de instruções baseado no ISA da arquitetura IBM PowerPC. Possuem três núcleos de processamento em um único chip. Cada núcleo inclui 32 KB de cache de instruções L1 e 32 KB de cache de dados L1. São encontrados nos videogames mais modernos, como o XBOX 360 (Microsoft).



Figura 3: Processador IBM Xenon [11]

3. CARACTERÍSTICAS

Os processadores PowerPC têm características comuns a outras arquiteturas do tipo RISC, ou seja, instruções com formato fixo, instruções específicas de acesso à memória, vários registradores, pipeline, entre outros. Além dessas características, foram acrescentadas outras específicas, uma delas foi a divisão das funcionalidades (tratamento de números inteiros, ponto-flutuante, desvio etc) em unidades de execução independentes para facilitar a implementação do projeto superescalar (múltiplas unidades funcionais executam instruções independentes) [6]. Assim, a arquitetura define um conjunto de instruções de sincronização quando operações fortemente ordenadas são necessárias.

Os processadores PowerPc de 32 bits se tornaram um padrão bastante utilizado no desenvolvimento de processadores embutidos. Como forma de manter o custo baixo e um alto volume de produtos competitivos, o núcleo da CPU é normalmente empacotado em um SOC (system-on-chip) de um circuito integrado. Nos SOCs ficam o núcleo do processador, a cache e o processador de dados locais; ao longo do chip aparecem sincronizadores, temporizadores, memória (SDRAM), periféricos (network, serial I/O) e controladores de barramentos (PCI, PCI-X, ROM/Flash, I2C).[]

Uma grande vantagem que motiva as pesquisas sobre a arquitetura PowerPC é o fato dela ser aberta, isto é, o ISA (Instruction Set Architecture) [] é definido e disponibilizado por um consórcio, o que permite rodar vários sistemas operacionais e ser replicada por fabricantes autorizados. Além disso, os projetistas podem escolher se querem programar determinadas características por hardware ou por software. Por exemplo, um microprocessador desenvolvido para estações de trabalho tem mais necessidade de uma implementação por hardware de normalização de algarismos de vírgula flutuante do que um computador pessoal. Há, também, compatibilidade entre os aplicativos escritos em 32 bits e 64 bits.

Outra grande vantagem competitiva da arquitetura PowerPC é que sua simplicidade herdada do 801 permite que o núcleo do CPU seja extremamente pequeno, liberando espaço no circuito para que sejam adicionados outros componentes que o desenvolvedor desejar, como cache e controladores de memória.

Estas vantagens resultaram em uma das mais bem sucedidas linhas de processadores já existentes.

Uma das características mais importantes da arquitetura PowerPC é a flexibilidade. Caso uma arquitetura seja rígida, será muito mais dispendioso realizar melhorias na performance quando esta for superada. Com base nisso, a Arquitetura PowerPC foi projetada para permitir, com facilidade, mudanças na sua implementação, prevendo um passo importante para um esquema de endereçamento de 64 bits.

4. ARQUITETURA POWERPC

A Arquitetura PowerPC foi projetada com a preocupação de ser uma arquitetura flexível prevendo mudanças de implementação para um esquema de endereçamento de 64 bits. Essa flexibilidade garantiu que aplicativos escritos para processadores de 32 bits também fossem interpretados em processadores de 64 bits.

A arquitetura do PPC foi dividida basicamente em três níveis de programação o que possibilitou a compatibilidade dos aplicativos desenvolvidos para PowerPC utilizando um único processador. Assim apresentamos os três níveis básicos [1, 6]:

- UISA - *User Instruction Set Architecture*: inclui as instruções de nível de aplicação do usuário e os registradores acessados por essas instruções. Define parâmetros relacionados à instrução, como modos de endereçamento e formatos de instruções.
- VEA - *Virtual Enviroment Architecture*: descreve o modelo de memória para um meio no qual múltiplos dispositivos podem acessar a memória, define aspectos do modelo de memória - especialmente o modelo de cache - e a base de tempo. A VEA define os recursos usados primeiramente pelos compiladores.
- OEA - *Operating Enviroment Architecture*: define o modelo de gerenciamento de memória, o modelo de exceção e, principalmente, os recursos utilizados pelos sistemas operacionais.

4.1 Modelo Conceitual

A PowerPC foi projetado de acordo com o modelo conceitual apresentado na Figura 4, este modelo garante que o despacho superescalar, o processamento paralelo e outros esquemas de otimização estejam na base do projeto da arquitetura.

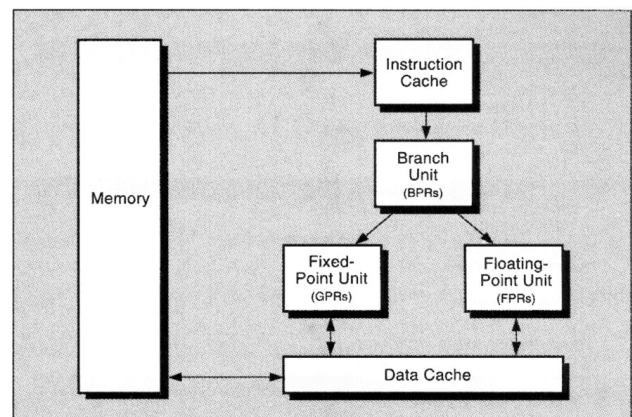


Figura 4: Modelo de Arquitetura PowerPC [8]

A unidade de processamento de desvio (BPU - *Branch Processing Unit*) está diretamente relacionada à unidade de instrução. As instruções de tamanho uniforme facilitam o armazenamento e a execução de operações de desvio futuras. Pode fornecer rapidamente o endereço de uma instrução de desvio quando este é previsto, ou buscar o caminho da instrução quando o desvio previsto estiver incorreto[6, 10].

A unidade de inteiros opera em paralelo com a unidade de ponto flutuante e incorpora os GRPs, usados para os cálculos de endereços para instruções de carga/armazenagem em ponto flutuante. A arquitetura oferece um modelo de memória em que as operações de carga e armazenagem podem ocorrer fora de ordem. Para que isto seja possível, a arquitetura define um conjunto de instruções sincronizadas quando operações fortemente ordenadas são necessárias. Como as operações de carga e armazenagem podem ocorrer fora de ordem, elas podem ser priorizadas. Como nos processadores 603, onde pode-se configurar de modo a dar certa prioridades a determinadas operações de armazenagem de cache para memória em relação a cargas e armazenagens convencionais[10].

A Arquitetura PowerPC define implementações de cache do tipo Harvard - onde separa-se caches para dados e para instruções. Também oferece instruções de cache "touch" adicionais que podem ser usadas normalmente por um compilador. O compilador ao usar estas instruções disponibiliza dados para a cache de processador, antes que sejam solicitadas por um programa. Desta maneira quando a instrução precisar destes dados, não haverá a necessidade de esperar o acesso à memória.

Também é oferecido pela arquitetura outras maneiras de implementações de multiprocessador, como os aspectos de coerência. Como por exemplo, um par, definido pela arquitetura, de carga/armazenagem com instruções de reserva, usadas como primitivas como "test e set"(testar e ajustar), úteis em implementações do tipo multiprocessador[8].

Um fato interessante é que a arquitetura permite que o processador seja configurado de dois modos em relação a organização física dos bytes na memória. Pois uma questão que surge é como deve-se armazenar os dados mais significativos, se à direita ou à esquerda? A decisão é simples desde que não haja a preocupação em manter a compatibilidade - as duas opções são válidas. Quando a compatibilidade precisa ser levada em conta, a decisão torna-se significativa.

Por isso existem dois modos na arquitetura que tornam isto possível, o little-endian e o big-endian[6].

No modo big-endian o byte pode ser colocado na parte mais significativa e no modo little-endian o byte pode ser colocado na parte menos significativa. A Arquitetura PowerPC, por default, é big-endian.

Este recurso é fundamental para manter a compatibilidade entre os hardwares e softwares. Um exemplo disso é que os sistemas PowerPC podem ser configurados de modo a suportar o Windows NT, que foi projetado para sistemas little-endian.

4.2 Arquitetura PowerPC 604

Com o objetivo de exemplificar e explanar sobre conceitos detalhados da arquitetura PowerPC, escolhemos o processador 604.

O PowerPC 604 foi lançado em Dezembro de 1994 ao lado do 603 e foi projetado como um chip de alto desempenho para estações de trabalho e servidores entry-level. Ele foi usado extensivamente na Apple sistemas high-end's, na Macintosh clones , em servidores IBM low-end da RS/6000, em estações de trabalho e embutido em aplicações de telecomunicações.

Assim, as unidades funcionais de pipeline dos processadores PowerPC são[7]:

- Unidade de Busca (*Fetch Unit*): usando o próximo endereço sequencial ou o endereço providenciado pela BPU quando um salto é previsto ou resolvido, a unidade de busca providencia as instruções para a fila de Instruções (Instruction Queue).
- Unidade de Decodificação / Despacho (*Dispatch Unit*): esta unidade decodifica as instruções e despacha-as para a unidade de execução apropriada. Durante o despacho, os operandos são providenciados para a unidade de execução (ou estação de reserva), podendo vir do registros, buffers de renomeação e buffers de resultados.
- Unidade de Predição de Desvios (BPU): providencia à unidade de busca o endereço previsto da próxima instrução, quando existe essa previsão (e um endereço correto caso se verifique uma má previsão); além de executar todas as instruções de controle de fluxo.
- Unidade de Controle (CRU): executa todas as instruções lógicas e de controle de fluxo relativas aos registro de controle.
- Unidades Lógicas e Aritméticas: realiza as operações aritméticas e lógicas.
- Unidade de Término de Instruções (*Completion Unit*): finaliza as instruções executadas na ordem correta do programa e controlar a atualização do estado da máquina.
- Unidade de ponto flutuante (FPU): executa operações em ponto flutuante.
- Unidade de Leitura / Escrita (LSU): trata da transferência de dados entre a cache de dados e os buffers de resultados.
- Cache de dados e instruções: Os processadores PowerPC possuem uma cache de instrução e uma cache de dados. São ambas formadas de dois conjuntos de caches associativas com 32 bytes.

Estas unidades garantem um fluxo correto de instruções e seus operandos a serem executadas, bem como uma atualização correta do estado da máquina. A Figura mostra como estão organizadas estas unidades no PowerPC 604.

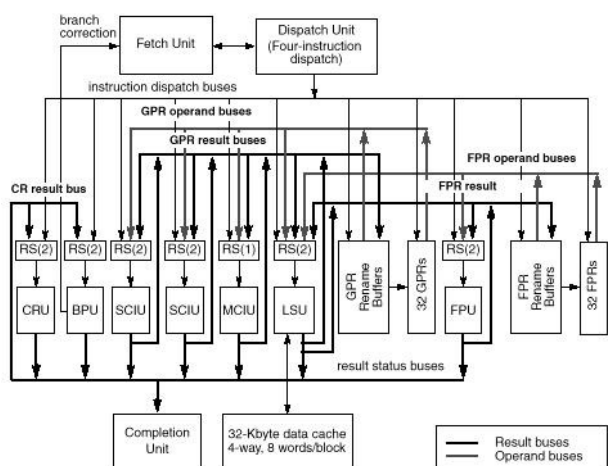


Figura 5: Estrutura interna do processador PowerPC 604 [7]

4.2.1 Pipeline

No geral, o pipeline dos processadores PowerPc são variações do pipeline do processador PowerPC 604. Segundo Leal [6], este processador tem a possibilidade de obter uma taxa de saída (*throughput*) de várias instruções por ciclo de clock a partir dos vários desenvolvimentos (em termos de performance) que possui, tais como várias unidades de execução que operam independentemente e em paralelo, pipelining, despacho de instruções superescalar, previsão dinâmica de salto, implementação de duas estações de reserva para cada unidade de execução para evitar maior latência devido a paragens no pipeline, e buses de resultados que realizam o *forwarding* dos mesmos resultados para instruções dependentes, em vez de se esperar que esses resultados fiquem disponíveis nos registos de sistema.

A unidade de término do 604 (Completion Unit) pode retirar 4 instruções por ciclo de clock. Em geral, o processamento de instruções é realizado em 6 estágios[6]:

1. **Busca:** inclui os ciclos de clock necessários para o pedido de instruções à cache, bem como os ciclos necessários para esta última responder;
2. **Decodificação:** consiste no tempo que demora a decodificação de uma instrução. Antes é realizada uma pré-decodificação, onde as instruções são parcialmente decodificadas, possibilitando a escrita e leitura em paralelo nos buffers de pré-decodificação e realizar a predição de desvio, utilizando um contador de 2 bits na BHT para decidir se um desvio deve ou não ser mantido para efetuar uma previsão estática de desvio;
3. **Despacho:** finaliza a decodificação e libera instrução para as unidades de execução apropriadas;
4. **Execução:** executa as instruções aritméticas simples e de ponto flutuante e gera os endereços de load/store;
5. **Término:** no estágio de término, podem ser completadas 4 instruções por ciclo de relógio, em ordem normal de programa.
6. **Escrita:** os resultados são escritos na memória.

As instruções são buscadas e executadas concorrentemente, com a possibilidade de poderem ser executadas fora da ordem normal de programa. A Figura apresenta as etapas do pipeline do PowerPc 604.

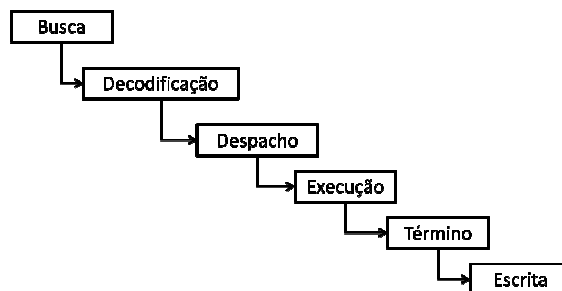


Figura 6: Etapas do pipeline do processador PowerPC 604

5. CONCLUSÃO

Este trabalho apresentou detalhes sobre a arquitetura PowerPC, bem como sua evolução histórica. Acreditamos que a tecnologia PowerPC, que é baseada na arquitetura RISC, mostra-se bastante flexível em relação as outras arquiteturas, principalmente pelo fato de seu ISA estar disponível para que programadores possam criar processadores baseados na arquitetura RISC, o que possibilita a sua expansão no mercado.

6. AGRADECIMENTOS

Agradecemos ao professor Paulo César Centoducatte pelo aprendizado proporcionado e à UNICAMP.

7. REFERÊNCIAS

- [1] A developer's guide to the POWER architecture: <http://www.ibm.com/developerworks/linux/library/l-powarch/>. Acessado em 25/06/2011.
- [2] Charles R. Moore and Russell C. Stanphill. 1994. The PowerPC alliance. *Commun. ACM* 37, 6 (June 1994), 25-27. DOI=10.1145/175208.175210
- [3] F. Cardoso. Powerpc: O mais veloz dos chips, Junho 1994.
- [4] D. Hough and I. A. Computer. Applications of the proposed ieee 754 standard for oating-point arithmetic, March 1981
- [5] E. Katevenis. Reduced instruction set computer architectures for vlsi. Technical report, Berkeley, CA, USA, 1983.
- [6] Freescale PowerPC™ Architecture Primer: http://www.freescale.com/files/32bit/doc/white_paper/POWERPCRPCRMRM.pdf. Acessado em 25/06/2011.
- [7] J. P. Lean. As otimizações com o pipelining. <http://www.dcc.fc.up.pt/~zp/aulas/9899/me/trabalhos/alunos/Processadores/pipelining/main.htm>. Acessado em 25/06/2011
- [8] Keith Diefendorff. 1994. History of the PowerPC architecture. *Commun. ACM* 37, 6 (June 1994), 28-33. DOI=10.1145/175208.175211
- [9] M. O. Tokhi and M. A. Hossain. *Cisc, risc and dsp processors in real-time signal processing and control*, November 1994.
- [10] PowerPC Architecture Book, Version 2.02: <http://www.ibm.com/developerworks/systems/library/es-archguide-v2.html>. Acessado em 25/06/2011
- [11] Wikipedia PowerPC: <http://pt.wikipedia.org/wiki/PowerPc>. Acessado em 25/06/2011.

