

MC613AB_2016s2

Mario Côrtes(4ª tarde)

Quarta-feira (14h-18h)					
	aula	teste	Lab	prova prática	projeto
1	02/mar/16	A1	T1	L1	
2	09/mar/16	A2	T2 (A1)	L2 (A1,A2)	
3	16/mar/16	A3	T3 (A2)	L3 (A3)	
4	23/mar/16	A4	T4 (A3)	L4 (A4)	
5	30/mar/16			PP1 (A1..A4)	
6	06/abr/16	A5	T5 (A4)	L5 (A5)	
7	13/abr/16	A6	T6 (A5)	L6 (A6)	
8	20/abr/16	A7	T7 (A6)	L7 (A7)	Definir tema
9	27/abr/16	A8	T8 (A7)	L8 (A8)	
10	04/mai/16			PP2 (A5..A8)	Entr. Block diagr
11	11/mai/16	A9	T9(A8)	L9 (A9)	
12	18/mai/16	A10	T10(A9)	L10 (A10)	
13	25/mai/16	A11	T11(A10)	L11 (A11)	Top level (entities completo) + descrição cada módulo
14	01/jun/16			PP3 (A9..A11)	
15	08/jun/16				
16	15/jun/16				
17	22/jun/16				Demo final e relat
18	29/jun/16				
19	06/jul/16				fim do semestre

Assunto

Introdução
 Revisão circuitos - Intro a VHDL
 Circuitos combinacionais - VHDL
 Circuitos combinacionais - VHDL

 Circuitos aritméticos - VHDL
 Circuitos aritméticos - VHDL
 Latches e FlipFlops - VHDL
 Registradores e contadores - VHDL

 Máquinas de Estado - VHDL
 Memória - VHDL
 Processador - VHDL