

rompido (registrador SPSR, abreviatura do inglês *saved program status register*). Como os registradores são distintos dos registradores do modo *User*, quando ocorre uma interrupção do tipo *FIQ*, se o tratador da interrupção utilizar apenas os registradores de r8 a r14, nenhum registrador (nem mesmo o registrador de estado) necessita ser salvo na pilha, agilizando o tratamento da interrupção.

Os modos de operação *Supervisor*, *Abort*, *IRQ* e *Undefined* compartilham os registradores de r0 a r12, e r15, com o modo *User/System*, mas têm registradores r13 e r14 fisicamente distintos. Nesses modos o registrador de estado SPSR armazena o registrador de estado do programa que foi interrompido.

1.2.1 Registradores de estado

Os registradores de estado mantêm bits de estado que indicam o resultado de operações lógicas e aritméticas, controlam interrupções e o modo de operação do processador. A Figura 1.2 mostra os bits de estado nos registradores de estado do processador ARM.

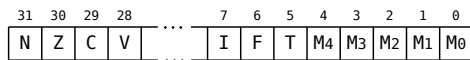


Figura 1.2: Bits de estado.

Os bits de estado são divididos em bits de condição (bits 28 a 31 do registrador de estado) e bits de controle (bits 0 a 7 do registrador de estado).

Os bits de condição são similares aos bits de condição do Faíska. Eles são ligados ou desligados como resultado de operações aritméticas e lógicas, e podem também ser alterados por instruções especiais. Os bits de condição no ARMv7 são:

- **N:** sinal. Cópia do bit mais significativo do resultado; considerando aritmética com sinal, se N igual a zero, o resultado é maior ou igual a zero. Se N igual a 1, resultado é negativo.
- **Z:** zero. Ligado se o resultado foi zero, desligado caso contrário.
- **C:** vai-um (*carry*). Ligado se a operação causou vai-um (*carry-out*) ou empresta-um (*carry-in*), desligado caso contrário.
- **V:** estouro de campo (*overflow*). Ligado se ocorreu estouro de campo; calculado como o ou-exclusivo entre o vai-um do bit mais significativo do resultado e o vai-um do segundo bit mais significativo do resultado.

Os bits de controle determinam condições de operação do processador. No ARM eles são:

- I: interrupção. Quando I é igual a 1, interrupções do tipo IRQ estão desabilitadas.
- F: interrupção rápida. Quando F é igual a 1, interrupções do tipo FIQ estão desabilitadas.
- T: estado *Arm/Thumb*. O processador ARMv7 pode executar dois conjuntos de instruções: o conjunto normal, em que instruções têm 32 bits (denominado *arm*), e um conjunto reduzido (denominado *thumb*), em que instruções têm 16 bits, permitindo um código mais compacto. O bit de controle T reflete o estado em que o processador está operando; quando T é igual a 1, o processador está executando no estado *thumb*, quando T é igual a 0 o processador está executando no estado *arm*.
- M[4:0]: modo de operação. Determinam o modo de operação, conforme descrito na Tabela 1.2.

Os demais bits dos registradores de estado (bits 8 a 27) não são utilizados, mas são reservados para uso futuro. Seu programa não deve alterar esses bits, para evitar problemas de compatibilidade com novas versões do processador.

| M[4:0] | Modo de Operação |
|--------|-------------------|
| 10000 | <i>User</i> |
| 10001 | <i>FIQ</i> |
| 10010 | <i>IRQ</i> |
| 10011 | <i>Supervisor</i> |
| 10111 | <i>Abort</i> |
| 11011 | <i>Undefined</i> |
| 11111 | <i>System</i> |

Tabela 1.2: Modos de operação definidos pelos bits de controle M[4:0].

1.2.2 Uso de registradores em instruções

Todos os registradores de r0 a r14 podem ser usados como operandos em instruções. A maioria das instruções também permite que o registrador r15 (pc) seja usado como operando. Os registradores de estado podem ser carregados de e para registradores de propósito geral com instruções específicas. E quando o processador está executando em um modo privilegiado, é possível também carregar ou armazenar os registradores do modo *User*.

1.3 Instruções

Todas as instruções do processador ARM são codificadas em uma palavra de 32 bits, e praticamente todas executam em apenas um ciclo do relógio.

As instruções devem ter endereços múltiplos de quatro (alinhadas por palavras). Assim, os dois bits menos significativos do registrador pc são sempre zero. Tentativa de acesso a uma instrução não alinhada gera uma exceção.

Uma característica marcante no processador ARMv7 é que (praticamente) *todas* as instruções são executadas condicionalmente. Nas instruções, os quatro bits mais significativos (bits 28 a 31) são usados para codificar o *campo de condição* da instrução. As instruções são