



## MC522 - Organização de Computadores

2º Semestre de 2003

### 2ª Lista de Exercícios

1. Por que é que processadores do tipo MIPS não possuem uma instrução de subtração de um registrador por um imediato de 32 bits?
2. Usando instruções MIPS, como é se coloca uma constante de 32 bits em um registrador? (seção 3.8 do livro)
3. Ache a menor seqüência de instruções MIPS necessárias para calcular o complemento a dois de um registrador.
4. Ache a menor seqüência de instruções MIPS que implementa a funcionalidade de

```
abs $t2, $t3
```

onde o registrador \$t2 recebe uma cópia do registrador \$t3 caso ele seja positivo, ou recebe o complemento a dois do registrador \$t3 caso o registrador \$t3 seja negativo.

5. Uma seqüência de bits em si não tem um significado específico. Dados os seguintes 32 bits

```
1000 1111 1110 1111 1100 0000 0000 0000,
```

o que eles significam quando usados para representar

- (a) um inteiro com sinal de 32 bits?
- (b) um inteiro sem sinal de 32 bits?
- (c) um número de ponto flutuante com precisão simples?
- (d) uma instrução MIPS?

Obs: as figuras 3.18, 4.48 e A.18 do livro podem ser úteis.

6. O mesmo que o anterior, porém para o padrão de bits

```
0000 0000 0000 0000 0000 0000 0000 0000.
```

7. Em vez de utilizar um hardware dedicado para multiplicação, é possível realizar a multiplicação de inteiros utilizando apenas somas e deslocamentos (*shifts*). Isto é particularmente útil quando precisamos multiplicar registradores por constantes pequenas. Projete a seqüência mínima de instruções MIPS que, sem o uso de multiplicação, coloca em \$s0 cinco vezes o valor de \$s1.
8. Altere o fluxo de dados do processador MIPS com ciclo único visto em sala para também executar a instrução `addi`. Altere a figuras 5.19 e 5.20 conforme necessário (as figuras podem ser baixadas do site internet do livro: <http://www.mkp.com/cod2e.htm>).
9. Como na questão anterior, mas desejamos acrescentar uma variação da instrução `lw`, aonde o endereço de memória a ser lido é obtido através da soma de dois registradores, e utiliza o formato tipo R.
10. Altere o fluxo de dados do processador MIPS multi-ciclo visto em sala para também executar a operação `addi`. Altere a figura 5.33, e modifique a máquina de estados finita da figura 5.42.
11. Leia as seções 2.7, 3.13, 4.10 e 5.8 do livro (*Fallacies and Pitfalls*).